Delay interpolator circuit and semiconductor integrated circuit having same

Patent Number: EP1093228
Publication date: 2001-04-18
Inventor(s): TOMITA HIROYOSHI (JP)
Applicant(s): FUJITSU LTD (JP)
Requested Patent: JP2001111394
Application Number: EP20000305502 20000630
Priority Number(s): JP19990290190 19991012
IPC Classification: H03L7/081; G11C7/22
EC Classification: H03L7/081A1, G11C7/22, H03K5/13D, H03K5/135
Equivalents: TW452967, US6369627
Cited patent(s): US5748125; US5841325; US5418498

Abstract

A delay circuit (300) comprises a plurality of interpolators (300a) connected in cascade. Each of the interpolators (300a) receives a reference clock signal and a clock signal output from the preceding interpolator (300a). One of the interpolators (300a) generates a clock signal whose transition edge is between the transition edge of the reference clock signal and the transition edge of the clock signal. The subsequent interpolators (300a) operate as delay stages, thereby generating a delayed clock signal delaying from the reference clock signal by a predetermined time. With such a delay circuit, it is possible to make smaller the minimum unit of a delay adjustment to the delayed clock signal by using the interpolators.

Data supplied from the **esp@cenet** database - I2

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号
特開2001－111394
(P2001－111394A)
(43)公開日　平成13年４月20日(2001.4.20)

(51)Int.Cl.'	識別記号	FI		テーマコード'（参考）
H03K	5/135	H03K	5/135	5B079
G06F	1/10	H03L	7/00	D 5F038
H01L	27/04	G06F	1/04	330A 5J001
	21/822	H01L	27/04	F 5J106
H03L	7/00			U

審査請求　未請求　請求項の数５　ＯＬ　（全 59 頁）

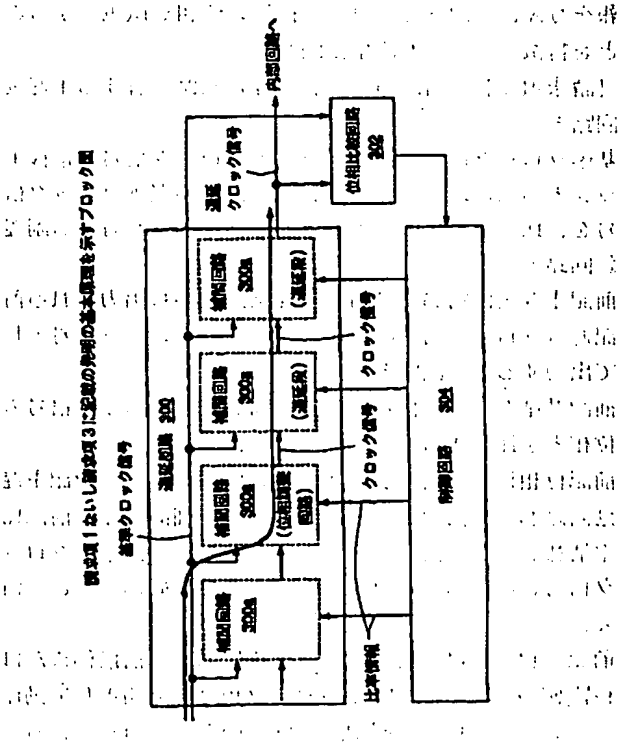
(21)出願番号　特願平11－290190
(22)出願日　平成11年10月12日(1999.10.12)

(71)出願人　000005223
富士通株式会社
神奈川県川崎市中原区上小田中４丁目１番１号
(72)発明者　富田　浩由
神奈川県川崎市中原区上小田中４丁目１番１号　富士通株式会社内
(74)代理人　100072718
弁理士　古谷　史旺　（外１名）

最終頁に続く

(54)【発明の名称】　遅延回路および半導体集積回路

(57)【要約】
【課題】　本発明は、遅延回路およびDLL回路を搭載した半導体集積回路に関し、クロック信号の遅延時間を精度よく調整し、位相比較を正しく行うことを目的とする。
【解決手段】　遅延回路は、位相調整回路または遅延段として動作する縦続接続された複数の補間回路を備えている。補間回路を使用しているため、遅延時間を精度よく調整できる。位相比較回路は、基準クロック信号の位相と遅延クロック信号の位相とを比較する。制御回路は、位相比較回路の比較結果に基づいて、各補間回路に比率情報をそれぞれ与えて、基準クロック信号と遅延クロック信号との位相を一致させる制御を行う。複数の補間回路を使用した遅延回路を制御して遅延クロック信号の位相の調整が行われるため、微調整の最小単位を小さくできる。すなわち、高い周波数の基準クロック信号が供給される半導体集積回路においても確実に位相が調整される。



【特許請求の範囲】
【請求項１】 基準クロック信号と前段からのクロック信号とを受ける縦続接続された複数の補間回路を備え、
前記複数の補間回路の１つを、比率情報に応じて、前記基準クロック信号の遷移エッジと前記クロック信号の遷移エッジとの間に遷移エッジを有する位相の前記クロック信号を生成する位相調整回路として動作させ、
該位相調整回路より後段側の前記補間回路の所定数を、前段からの前記クロック信号を所定時間遅れらせる遅延段として動作させ、
前記基準クロック信号から所定時間遅れた遅延クロック信号を生成することを特徴とする遅延回路。
【請求項２】 請求項１記載の遅延回路と、
前記基準クロック信号の位相と前記遅延クロック信号の位相とを比較する位相比較回路と、
前記位相比較回路の比較結果に基づいて、前記遅延回路の前記各補間回路に前記比率情報をそれぞれ与え、前記基準クロック信号と前記遅延クロック信号との位相を一致させる制御を行う制御回路とを備えたことを特徴とする半導体集積回路。
【請求項３】 請求項２記載の半導体集積回路において、
前記制御回路は、
位相比較の開始時に、前記位相比較回路の比較結果に応じて前記補間回路を前記位相調整回路または前記遅延段に切り替え、前記遅延クロック信号の位相を粗調整し、前記基準クロックと前記遅延クロック信号との位相差が前記遅延段の遅延時間以下になった後に、前記位相比較回路の比較結果に応じて前記位相調整回路に前記比率情報を与え、前記遅延クロック信号の位相を微調整することを特徴とする半導体集積回路。
【請求項４】 請求項１記載の遅延回路を有する主遅延回路と、
基準クロック信号の遷移エッジとクロック信号の遷移エッジとの間に遷移エッジを有する位相の遅延クロック信号を、比率情報に応じて生成する補間回路を有する副遅延回路と、
前記主遅延回路および前記副遅延回路から出力される前記遅延クロック信号のいずれかを内部クロック信号として出力する選択回路と、
前記基準クロック信号の位相と前記内部クロック信号の位相とを比較する位相比較回路と、
前記位相比較回路の前記比較結果に基づいて、前記主遅延回路および前記副遅延回路の前記各補間回路に前記比率情報を与え、前記基準クロック信号と前記遅延クロック信号との位相を一致させる制御を行う制御回路とを備え、
前記選択回路は、前記主遅延回路における前段側または後段側の所定の補間回路が前記位相調整回路として動作しているときに、前記副遅延回路の遅延クロック信号を選択することを特徴とする半導体集積回路。
【請求項５】 請求項４記載の半導体集積回路において、
縦続接続された複数の補間回路を有する調整遅延回路と、
前記調整遅延回路の前記補間回路を調整することで、前記主遅延回路および前記副遅延回路の各補間回路の最大遅延時間を、前記基準クロック信号の周期の整数分の１に調整する調整回路とを備えたことを特徴とする半導体集積回路。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】本発明は、遅延回路およびクロック同期式の半導体集積回路に関し、特に、内部回路で使用する内部クロック信号を外部クロック信号に同期させるDLL（DelayLocked Loop）回路を搭載した半導体集積回路に関する。
【０００２】
【従来の技術】クロック同期式の半導体集積回路として、SDRAM（Synchronous DRAM）、DDR-SDRAM（Double Data Rate-Synchronous DRAM）等が知られている。この種の半導体集積回路では、外部から供給されるクロック信号に同期して内部回路を動作させ、データの入出力を行っている。一般に、半導体集積回路は、データの出力端子を複数本備えている。これ等出力端子から出力される各出力データには、チップ上の回路レイアウトに依存する信号線の配線長により、スキューが発生する。スキューは、クロック周波数が高くなるほど相対的に大きくなる。近時、動作周波数が100MHzを超えるSDRAM、DDR-SDRAMが開発されており、上記スキューは、無視できなくなってきている。
【０００３】このようなスキューを低減するため、DLL回路を搭載した半導体集積回路が開発されている。DLL回路は、内部回路で使用する内部クロック信号を外部からの基準クロック信号に対して所定の位相を調整する回路であり、例えば、特開平１０－１１２１８２号公報に基本的な構成が開示されている。また、遅延時間の調整単位の粗いラフ用遅延回路と、遅延時間の調整単位の細かいファイン用遅延回路とを備えたDLL回路が提案されている。この種のDLL回路では、位相調整の精度を高め、同時に内部クロック信号の揺らぎ（ジッタ）を低減できる。
【０００４】図７２は、本出願人により提案されたDLL回路を搭載した半導体集積回路の一例を示している。なお、図７２に示した回路は、未だ公知ではない。この半導体集積回路は、外部から取り込んだクロック信号CLKを内部クロック信号ICLKとして出力する入力バッファ１と、内部クロック信号ICLKから所定時間遅延した内部クロック信号ICLK2を生成する遅延クロック生成部２と、メモリセル等から読み出されるデータ信号DATAを内部ク

ロック信号ICLK2に同期して出力データ信号DOUTとして出力する出力バッファ３と、遅延クロック生成部２を制御し、内部クロック信号ICLK2の位相をクロック信号CLKの位相に合わせる位相制御部４と、遅延クロック生成部２および位相制御部４の動作を同期させるスタート信号STARTを生成する開始信号発生器５とを備えている。

【０００５】遅延クロック生成部２は、ラフ可変遅延回路６とファイン可変遅延回路７とを備えている。ラフ可変遅延回路６は、遅延時間の長い複数の遅延段（図示せず）を縦続接続して構成されており、遅延段の接続数に応じて遅延時間の大まかな調整を行う回路である。ラフ可変遅延回路６は、ラフ遅延制御回路１３の制御を受けて、遅延段の接続数を増加（シフトアップ）または減少（シフトダウン）する。

【０００６】ファイン可変遅延回路７は、遅延時間の短い複数の遅延段（図示せず）を縦続接続して構成されており、これ等遅延段の接続数に応じて遅延時間の細かい調整を行う回路である。ファイン可変遅延回路７は、ファイン遅延制御回路１５の制御を受けて、遅延段の接続数を増加（シフトアップ）または減少（シフトダウン）する。ファイン可変遅延回路７の遅延時間の最大値は、ラフ可変遅延回路６の遅延段１段分の遅延時間より若干大きくされている。

【０００７】位相制御部４は、分周器８、９と、出力バッファ３と等価なダミー出力バッファ１０と、入力バッファ１と等価なダミー入力バッファ１１と、ラフ位相比較器１２と、ラフ遅延制御回路１３と、ファイン位相比較器１４と、ファイン遅延制御回路１５と、段数設定回路１６と、段数検出回路１７と、DLL制御回路１８とを備えている。

【０００８】分周器８は、内部クロック信号ICLKの周波数を分周して内部クロック信号/CLK1を生成し、ラフ位相比較器１２およびファイン位相比較器１４に出力している。ここで、クロック信号/CLK1等の"/"は、クロック信号CLKに対して論理が反転していることを示している。分周器９は、内部クロック信号ICLK2の周波数を分周して内部クロック信号ICLK3を生成し、ダミー出力バッファ１０に出力している。分周器８、９の分周率は、例えば４分の１にされている。クロック信号ICLK、ICLK2を分周することで、高周波時の位相比較が容易にされるとともに消費電力が低減される。

【０００９】ダミー出力バッファ１０から出力された信号は、ダミー入力バッファ１１に供給され内部クロック信号DICLKとしてラフ位相比較器１２およびファイン位相比較器１４に出力されている。

【００１０】段数設定回路１６は、ラフ遅延制御回路６の遅延段の１段と等価な遅延回路、およびファイン可変遅延回路７と等価な遅延回路を有している。段数設定回路１６は、ラフ可変遅延回路６の遅延段１段分の遅延時間が、ファイン可変遅延回路７の何段分に相当するかを常に監視し、その段数を最大段数信号J2としてファイン遅延制御回路１５および段数検出回路１７に出力している。なお、最大段数信号J2は、半導体集積回路の動作電圧、周囲温度により変化する。

【００１１】段数検出回路１７は、ファイン可変遅延回路７の遅延段の使用段数である段数信号J1および最大段数信号J2を受け、段数信号J1が最大段数信号J2になったとき、および段数信号J1が最小値になったときに、それぞれ、オーバーフロー信号OF、およびアンダフロー信号UFを出力する機能を有している。DLL制御回路１８は、ラフ位相比較器１２から位相一致信号JSTRを受け、段数検出回路１７からオーバーフロー信号OF、アンダフロー信号UFを受け、選択信号S1、S2、増加信号UP、減少信号DOWNを出力している。DLL制御回路１８は、位相一致信号JSTRの非活性化時に、選択信号S1を活性化し、選択信号S2を非活性化し、位相一致信号JSTRの活性化時に、選択信号S1を非活性化し、選択信号S2を活性化する機能を有している。また、DLL制御回路１８は、ファイン位相比較器１４の動作時において、オーバーフロー信号OFを受けたときに、ラフ位相比較器１２にシフトアップ信号UPを出力し、アンダフロー信号UFを受けたときに、ラフ位相比較器１２にシフトダウン信号DOWNを出力する機能を有している。

【００１２】ラフ位相比較器１２は、活性化された選択信号S1を受け、内部クロック信号/CLK1と内部クロック信号DICLKとの位相を比較し、比較結果をラフ遅延制御回路１３に出力する回路である。ラフ位相比較器１２は、内部クロック信号DICLKと内部クロック信号/CLK1との位相が一致したときに位相一致信号JSTRを活性化する機能と、シフトアップ信号UPを受けたときにラフ可変遅延回路６をシフトアップする機能と、シフトダウン信号DOWNを受けたときにラフ可変遅延回路６をシフトダウンする機能と、ラフ可変遅延回路６をシフトアップおよびシフトダウンしたときにそれぞれリセット信号MIN、セット信号MAXを出力する機能とを有している。

【００１３】ラフ遅延制御回路１３は、ラフ位相比較器１２での比較結果に基づいて、ラフ可変遅延回路６をシフトアップ、シフトダウンし遅延時間を調整する機能を有している。すなわち、ラフ遅延制御回路１３は、内部クロック信号DICLKの位相が内部クロック信号/CLK1の位相に対して進んでいる場合には、遅延段の接続数を１つ増加し、内部クロック信号DICLKの位相が内部クロック信号/CLK1の位相に対して遅れている場合には、遅延段の接続数を１つ減少する。

【００１４】ファイン位相比較器１４は、活性化された選択信号S2を受け、内部クロック信号DICLKと内部クロック信号/CLK1との位相を比較し、比較結果をファイン遅延制御回路１５に出力する回路である。ファイン遅延制御回路１５は、ファイン位相比較器１４での比較結果に基づいて、ファイン可変遅延回路７をシフトアップ、

シフトダウンし、遅延時間を調整する機能を有している。すなわち、ファイン遅延制御回路１５は、内部クロック信号DICLKの位相が内部クロック信号/CLK1の位相に対して進んでいる場合には、遅延段の接続数を１つ増加し、内部クロック信号DICLKの位相が内部クロック信号/CLK1の位相に対して遅れている場合には、遅延段の接続数を１つ減少する。また、ファイン遅延制御回路１５は、リセット信号MINを受けたときに、ファイン可変遅延回路７の遅延段の接続数を最小にする機能と、セット信号MAXを受けたときに、ファイン可変遅延回路７の遅延段の接続数を最大段数信号J2と同一にする機能と、現在のファイン可変遅延回路７の遅延段の接続数を段数信号J1として出力する機能とを有している。

【００１５】開始信号発生器５は、内部クロック信号ICLKを受け、開始信号STTを出力している。リセット信号/RESETの解除時に、内部クロック信号ICLKの立ち下がりに同期して開始信号STTを活性化する回路である。遅延クロック生成部２および分周器８、９は、開始信号STTの活性化を受けて動作を開始する。図７３は、上記各回路が行う位相調整の制御を示すフローチャートである。位相調整の制御は、リセット信号/RESETの解除により開始される。

【００１６】まず、ステップＳ１では初期設定が行われる。図７２に示した段数設定回路１６は、ラフ可変遅延回路６の遅延段１段分の遅延時間が、ファイン可変遅延回路７の何段分に相当するかを求め、最大段数信号J2として出力する。また、位相制御部４が初期化され、ラフ可変遅延回路６、ファイン可変遅延回路７の遅延段の接続数が初期値に設定される。DLL制御回路１８は、選択信号S1を活性化し、選択信号S2を非活性化する。

【００１７】次に、ステップＳ２からステップＳ５で、ラフ可変遅延回路６の初期調整が行われる。ステップＳ２において、位相制御部４は、分周器８、９の分周率を４分の１に設定する。分周器８は、内部クロック信号ICLKを受け、分周した内部クロック信号/CLK1を出力する。分周器９は、内部クロック信号ICLK2を受け、分周した内部クロック信号ICLK3を出力する。

【００１８】ステップＳ３において、ラフ位相比較器１２は、内部クロック信号/CLK1と内部クロック信号DICLKとの位相を比較し、比較結果をラフ遅延制御回路１３に出力する。このとき、ファイン位相比較器１４は、非活性化された選択信号S2を受け、動作を停止している。ステップＳ４において、ラフ位相比較器１２は、ラフ位相比較器１２で比較した両信号の位相が一致したときに、位相一致信号JSTRを活性化する。DLL制御回路１８は、位相一致信号JSTRを受けて選択信号S1を非活性化し、選択信号S2を活性化する。この後、制御は、ステップＳ６に移行する。ラフ位相比較器１２で比較した両信号の位相が一致しないときには、制御は、ステップＳ５に移行する。

【００１９】ステップＳ５において、ラフ遅延制御回路１３は、ラフ位相比較器１２の比較結果に応じてラフ可変遅延回路６をシフトアップまたはシフトダウンし、遅延時間を調整する。この後、制御は、再びステップＳ３に移行する。

【００２０】次に、ステップＳ６からステップＳ１５で、ラフ可変遅延回路６、ファイン可変遅延回路７を使用した位相調整が行われる。まず、ステップＳ６において、ファイン位相比較器１４は、内部クロック信号/CLK1と内部クロック信号DICLKとの位相を比較し、比較結果をファイン遅延制御回路１５に出力する。このとき、ラフ可変遅延回路６は、選択信号S1の非活性化を受け、動作を停止している。

【００２１】ステップＳ７において、ファイン位相比較器１４で比較した両信号の位相が一致したときには、制御は、再びステップＳ６に移行する。内部クロック信号DICLKの位相が内部クロック信号/CLK1の位相より進んでいるときには、制御は、ステップＳ８に移行する。内部クロック信号DICLKの位相が内部クロック信号/CLK1の位相より遅れているときには、制御は、ステップＳ１２に移行する。

【００２２】ステップＳ８において、段数検出回路１７は、段数信号J1と最大段数信号J2とを比較する。段数信号J1が最大段数信号J2と等しいときには、繰り上げ処理が必要と判断され、制御は、ステップＳ１０に移行する。段数信号J1が最大段数信号J2より小さいときには、繰り上げ処理は不要と判断され、制御は、ステップＳ９に移行する。

【００２３】ステップＳ９において、ファイン遅延制御回路１５は、ファイン可変遅延回路７を１段シフトアップし、内部クロック信号ICLK2の位相を遅らせる。ステップＳ１０において、段数検出回路１７は、オーバーフロー信号OFを出力する。DLL制御回路１８は、オーバーフロー信号OFを受けて、シフトアップ信号UPを出力する。ラフ位相比較器１２は、シフトアップ信号UPを受けて、ラフ可変遅延回路６を１段シフトアップし、リセット信号MINを出力する。

【００２４】ステップＳ１１において、ファイン遅延制御回路１５は、リセット信号MINを受けて、ファイン可変遅延回路７の遅延段の接続数を最小に設定する。ステップＳ９、Ｓ１１を実行した後、制御は、再びステップＳ６に移行する。

【００２５】一方、ステップＳ１２において、段数検出回路１７は、段数信号J1が最小値であるかどうかを調べる。段数信号J1が最小値の場合には、繰り下げ処理が必要と判断され、制御は、ステップＳ１４に移行する。段数信号J1が最小値でない場合には、繰り下げ処理は不要と判断され、制御は、ステップＳ１３に移行する。ステップＳ１３において、ファイン遅延制御回路１５は、ファイン可変遅延回路７を１段シフトダウンし、内部クロ

ック信号ICLK2の位相を進める。

【００２６】ステップＳ１４において、段数検出回路１７は、アンダーフロー信号UFを出力する。DLL制御回路１８は、アンダーフロー信号UFを受けて、シフトダウン信号DOWNを出力する。ラフ位相比較器１２は、シフトダウン信号DOWNを受けて、ラフ可変遅延回路６を１段シフトダウンし、セット信号MAXを出力する。ステップＳ１５において、ファイン遅延制御回路１５は、セット信号MAXを受けて、ファイン可変遅延回路７の遅延段の接続数を最大に設定する。

【００２７】ステップＳ１３、Ｓ１５を実行した後、制御は、再びステップＳ６に移行する。そして、ファイン可変遅延回路７の遅延段の遅延時間単位で位相調整が繰り返して行われる。すなわち、位相制御部４は、ラフ遅延制御回路１３により大まかな位相調整を行った後、ファイン遅延制御回路１５により細かい位相調整を行う。そして、内部クロック信号DICLKの位相が内部クロック信号/CLK1の位相に合わせられる。

【００２８】図７４は、位相調整時の主要な信号のタイミングを示している。図７４では、位相調整が行われ、内部クロック信号/CLK1と内部クロック信号DICLKとの位相が一致している状態を示している。開始信号STTは、リセット信号/RESETが解除されLレベルになった後、内部クロック信号ICLKの立ち下がりに同期して活性化される（図７４(a)）。内部クロック信号ICLKは、クロック信号CLKの立ち上がりから図７２に示した入力バッファ１の遅延時間Ｔ１だけ遅れて出力される（図７４(b)）。内部クロック信号ICLKは、分周器８により４分の１分周され、分周器８の遅延時間Ｔ２だけ遅れた内部クロック信号/CLK1として出力される（図７４(c)）。内部クロック信号ICLK2は、内部クロック信号ICLKの立ち上がりから遅延クロック生成部２の遅延時間Ｔ３だけ遅れて出力される（図７４(d)）。内部クロック信号ICLK2は、分周器９により４分の１分周され、分周器９の遅延時間Ｔ２だけ遅れた内部クロック信号ICLK3として出力される（図７４(e)）。分周器８、９の遅延時間Ｔ２は同一である。このため、内部クロック信号ICLK3の内部クロック信号/CLK1に対する遅れは、遅延クロック生成部２の遅延時間Ｔ３と等しくなる（図７４(f)）。内部クロック信号ICLK3は、ダミー出力バッファ１０とダミー入力バッファ１１の遅延時間Ｔ４だけ遅れて、内部クロック信号DICLKとして出力される（図７４(g)）。遅延時間Ｔ４は、入力バッファ１および出力バッファ３の遅延時間の合計に等しい。

【００２９】したがって、内部クロック信号/CLK1と内部クロック信号DICLKとの位相が一致した状態では、内部クロック信号/CLK1の半周期（＝クロック信号CLKの２周期）は、遅延クロック生成部２の遅延時間Ｔ３と、入力バッファ１および出力バッファ３の遅延時間Ｔ４との合計と同じになる（図７４(h)）。この合計時間Ｔ３＋Ｔ４は、クロック信号CLKが供給されてから出力データ信号DOUTが出力される時間と同一である。この結果、出力バッファ３から出力される出力データ信号DOUTの位相は、クロック信号CLKの位相に一致する（図７４(i)）。

【００３０】

【発明が解決しようとする課題】ところで、図７３に示したフローチャートのステップＳ８、Ｓ１２において、DLL制御回路１８が、「繰り上がり有り」および「繰り下がり有り」と判断した場合、位相制御部４は、それぞれ、ステップＳ１０、Ｓ１１およびステップＳ１４、Ｓ１５を実行する。この際、例えば、ステップＳ１０、Ｓ１１を処理中に、内部クロック信号ICLKが変化すると、遅延段の制御が正しく行われず内部クロック信号ICLK2のタイミングが大きくずれるおそれがある。このため、ステップＳ１０、Ｓ１１の処理、およびステップＳ１４、Ｓ１５の処理は、内部クロック信号ICLKが高レベルの間、または低レベルの間に連続して行う必要がある。換言すると、繰り上がり時および繰り下がり時において、ラフ可変遅延回路６のシフト動作およびファイン可変遅延回路７のセット・リセット動作は、内部クロック信号ICLKが高レベルの間、または低レベルの間に連続して行う必要がある。

【００３１】しかしながら、クロック信号CLKの周波数が高くなるにしたがい、このような制御に必要なタイミング余裕が減少している。特に、クロック信号CLKの周波数が100MHzを超える半導体集積回路では、制御が困難になってきている。また、上述した半導体集積回路では、段数設定回路１６は、ラフ可変遅延回路６の遅延段の１段の遅延時間がファイン可変遅延回路７の何段分に相当するかを求めている。段数設定回路１６は、ラフ可変遅延回路６の遅延段と等価な回路で構成されているため、実際のラフ可変遅延回路６の遅延段の１段の遅延時間に対して誤差を有している。この誤差により、内部クロック信号ICLK2には、ジッタが発生するおそれがある。

【００３２】さらに、上述した半導体集積回路では、分周器８、９により分周したクロック信号をラフ位相比較器１２およびファイン位相比較器１４で比較している。しかしながら、半導体集積回路に低い周波数のクロック信号が供給される場合には、ラフ可変遅延回路６の遅延段が数多く必要なり、回路規模が増大するという問題があった。遅延段の数を低減するため、分周器８、９の分周率を下げると、高い周波数のクロック信号CLKが供給される場合に、ラフ位相比較器１２およびファイン位相比較器１４の動作が不安定になる。また、位相比較の頻度が多くなり、消費電力が増大する。

【００３３】一方、遅延時間が可変な複数の遅延段を４段（または８段）縦続接続した遅延回路と、各遅延段から出力されるクロック信号のうち、隣接した２つのクロック信号を受け、内部クロック信号を生成する補間回路

と、内部クロック信号の位相と、外部クロック信号の位相とを比較する位相比較回路と、位相比較回路での比較結果に基づいて遅延回路および補間回路を制御する制御回路とを備えた位相調整回路が提案されている。

【００３４】この位相調整回路では、各遅延回路は、外部クロック信号の周波数に応じて、各遅延段の遅延時間を調整し、位相が９０°（または４５°）ずつずれたクロック信号を出力する。補間回路は、隣接する２つのクロック信号を受け、これ等クロック信号の間に位相を有するクロック信号を生成する。そして、位相比較回路および制御回路は、内部クロック信号の位相と、外部クロック信号の位相とが一致するように遅延回路および補間回路を制御する。

【００３５】しかしながら、この種の位相調整回路では、位相の調整は、外部クロック信号の１周期分しか行うことができないという問題があった。特に、半導体集積回路に高い周波数の外部クロック信号が供給される場合、位相の調整範囲が狭くなってしまう。また、遅延段は、遅延時間を調整できるようにCR時定数回路等の余分な素子を配置しており、そのレイアウトサイズが大きかった。

【００３６】本発明の目的は、遅延させるクロック信号の遅延時間を精度よく調整できる遅延回路を提供することにある。本発明の目的は、クロック信号の周波数に依存せず、常に位相比較を正しく行うことができる半導体集積回路を提供することにある。本発明の別の目的は、位相調整時に、内部クロック信号にジッタが発生することを防止することにある。

【００３７】本発明の別の目的は、位相比較の回数を低減し、位相比較に必要な時間を低減することにある。本発明の別の目的は、位相比較に必要な回路の消費電力を低減することにある。

【００３８】

【課題を解決するための手段】図１は、請求項１ないし請求項３に記載の発明の基本原理を示すブロック図である。

【００３９】請求項１の遅延回路３００は、縦続接続された複数の補間回路３００ａを備えている。各補間回路３００ａは、基準クロック信号と前段の補間回路３００ａから出力されるクロック信号とを受けている。補間回路３００ａの１つは、基準クロック信号の遷移エッジとクロック信号の遷移エッジとの間に遷移エッジを有する位相のクロック信号を生成する位相調整回路として動作する。位相調整回路より後段側の補間回路３００ａのうち所定数は、前段から出力されるクロック信号に対して所定時間遅れたクロック信号を生成する遅延段として動作する。そして、基準クロック信号から所定時間遅れた遅延クロック信号が生成される。

【００４０】この遅延回路３００では、補間回路３００ａを使用して遅延クロック信号の遅延時間が調整されるため、調整の最小単位を小さくできる。すなわち、遅延クロック信号の遅延時間が、精度よく調整できる。請求項２の半導体集積回路では、位相比較回路３０２は、基準クロック信号の位相と遅延クロック信号の位相とを比較する。制御回路３０４は、位相比較回路の比較結果に基づいて、各補間回路３００ａに比率情報をそれぞれ与えて、基準クロック信号と遅延クロック信号との位相を一致させる制御を行う。複数の補間回路３００ａを使用した遅延回路３００を制御して遅延クロック信号の位相の調整が行われるため、微調整の最小単位を小さくできる。すなわち、高い周波数の基準クロック信号が供給される半導体集積回路においても確実に位相が調整される。

【００４１】請求項３の半導体集積回路では、制御回路３０４は、位相比較の開始時に位相比較回路３０２の比較結果に応じて遅延クロック信号の位相を粗調整する。制御回路３０４は、遅延クロック信号と基準クロック信号との位相差が遅延段として動作している遅延回路３００ａの遅延時間以下になった後に、位相比較回路３０２の比較結果に応じて、位相調整回路に比率情報を与え遅延クロック信号の位相を微調整する。遅延クロック信号の位相調整を粗調整と微調整とに分けて行うことで、遅延クロック信号と基準クロック信号との位相を、少ない位相比較回数で早く一致させることができる。

【００４２】図２は、請求項４および請求項５に記載の発明の基本原理を示すブロック図である。請求項４の半導体集積回路は、主遅延回路３１０と、副遅延回路３１２と、選択回路３１４と、位相比較回路３１６と、制御回路３１８とを備えている。主遅延回路３１０は、縦続接続された複数の補間回路３００ａを備えている。各補間回路３００ａは、基準クロック信号と前段の補間回路３００ａから出力されるクロック信号とを受けている。補間回路３００ａの１つは、基準クロック信号の遷移エッジとクロック信号の遷移エッジとの間に遷移エッジを有する位相のクロック信号を生成する位相調整回路として動作する。位相調整回路より後段側の補間回路３００ａのうち所定数は、前段から出力されるクロック信号に対して所定時間遅れたクロック信号を生成する遅延段として動作する。そして、主遅延回路３１０は、基準クロック信号から所定時間遅れた遅延クロック信号を生成する。

【００４３】副遅延回路３１２は、基準クロック信号の遷移エッジとクロック信号の遷移エッジとの間に遷移エッジを有する位相のクロック信号を、比率情報に応じて生成する補間回路３１２ａを備えている。選択回路３１４は、主遅延回路３１０および副遅延回路３１２から出力される遅延クロック信号のいずれかを内部クロック信号として出力する。また、選択回路３１４は、主遅延回路３１０における前段側または後段側の所定の補間回路３００ａが位相調整回路として動作しているときに、副

遅延回路３１２から出力される遅延クロック信号を選択する。

【００４４】位相比較回路３１６は、基準クロック信号の位相と内部クロック信号の位相とを比較する。制御回路３１８は、位相比較回路３１６の比較結果に基づいて、主遅延回路３１０および副遅延回路３１２の各補間回路３００ａ、３１２ａに比率情報を与え、前記基準クロックと前記遅延クロック信号との位相を一致させる制御を行う。

【００４５】ここで、副遅延回路３１２を備えているため、主遅延回路３１０の一端側の補間回路３００ａを位相調整回路として動作させ、この後、他端側の補間回路３００ａを位相調整回路として動作させるとき、一旦、副遅延回路３１２の補間回路３１２ａを位相調整回路とすることが可能になる。このため、補間回路３１２ａで位相を調整しながら、主遅延回路３１０の補間回路３００ａが切り替えられる。このとき、選択回路３１４は、副遅延回路３１２から出力される遅延クロック信号を選択している。したがって、内部クロック信号は、補間回路３００ａの切り替え時の影響を受けない。この結果、内部クロック信号にジッタが発生することが防止される。

【００４６】請求項５の半導体集積回路では、調整遅延回路３２０は、縦続接続された複数の補間回路３２０ａを備えている。また、調整回路３２２は、調整遅延回路３２０の補間回路３２０ａを調整することで、主遅延回路３１０および副遅延回路３１２における各補間回路３００ａ、３１２ａの最大遅延時間を、基準クロック信号の周期の整数分の１にする。したがって、例えば、１つの補間回路３００ａの最大遅延時間を基準クロック信号の４分の１（９０°）に調整する場合、４つの補間回路３００ａで基準クロック信号の１周期分の位相が調整できる。位相の１０°のずれと３７０°のずれは相対的に等しいため、この例では、最低４つの補間回路３００ａを使用することで、基準クロック信号の位相を調整できる。したがって、少ない補間回路３００ａで精度よく位相を調整できる。

【００４７】

【発明の実施の形態】以下、本発明の遅延回路および半導体集積回路の第１の実施形態を図面を用いて説明する。この実施形態は、請求項１ないし請求項３に対応している。本発明の遅延回路は、半導体集積回路として形成されている。半導体集積回路は、シリコン基板上に、CMOSプロセス技術を使用して、例えば、DDR-SDRAMとして形成されている。DDR-SDRAMは、一般の半導体メモリと同様に、メモリコア部および周辺回路部を有している。メモリコア部には、複数のメモリセルを有するメモリセルアレイ、センスアンプ等が形成されている。このDDR-SDRAMは、外部から供給される相補のクロック信号の立ち上がりに同期してメモリセルから読み出したデータ信号を出力する機能を有している。

【００４８】図３は、DDR-SDRAMにおけるクロック制御部３０を示している。クロック制御部３０は、開始信号発生器３２、クロックバッファ３４ａ、３４ｂ、遅延クロック生成部３７、バッファ４２、４４、位相比較部４６、ラフ／ファイン制御部４８、ラフ制御部５１、ファイン制御部５２、およびD/Aコンバータ５３を備えている。ラフ／ファイン制御部４８、ラフ制御部５１、ファイン制御部５２、およびD/Aコンバータ５３は、図１に示した制御回路３０４に対応している。

【００４９】開始信号発生器３２は、電源立ち上げ時、セルフリフレッシュモードからの解除時等に、チップ内部で発生するリセット信号/RESETの非活性化を受け、所定のタイミングで開始信号STTをＨレベルにする回路である。クロックバッファ３４ａ、３４ｂは、カレントミラー型の差動増幅回路により構成されている。クロックバッファ３４ａ、３４ｂは、クロック信号CLK、/CLKを受け、それぞれ内部クロック信号CLK-K、/CLK-Kを出力している。クロック信号CLK、/CLKは、基準クロック信号に対応している。なお、クロック信号/CLKの“/”の表記は、クロック信号CLKに対して逆の論理であることを示している。

【００５０】遅延クロック生成部３７は、内部クロック信号CLK-K、/CLK-K、制御信号A、B、C、D（以下、制御信号A-Dと略す場合もある）、制御電圧V1、V2、および開始信号STTを受け、内部クロック信号CLKI、/CLKIを出力している。バッファ４２、４４は、それぞれ、遅延クロック生成部３７から出力される内部クロック信号CLKI、/CLKIの信号波形を整え、内部クロック信号CLKI、/CLKIとして出力する回路である。内部クロック信号CLKI、/CLKIは、出力バッファ（図示せず）に供給され、データ信号の出力制御に使用されている。

【００５１】位相比較部４６は、開始信号STTおよび内部クロック信号CLK-K、CLKIを受け、内部クロック信号CLK-K、CLKIの位相を比較し比較結果信号COMPと、タイミング信号TIMを出力している。ラフ／ファイン制御部４８は、比較結果信号COMP、タイミング信号TIM、ファイン制御部５２からの最大信号MAX、最小信号MIN、ラフ制御部５１からのラフシフト順番信号RSO、ラフシフト方向信号RSD、および開始信号STTを受け、ラフイネーブル信号REN、ファインイネーブル信号FEN、およびラフロックオン信号RLONを出力している。

【００５２】ラフ制御部５１は、ラフイネーブル信号REN、ラフロックオン信号RLON、最大信号MAX、最小信号MIN、および開始信号STTを受け、ラフシフト方向信号RSD、ラフシフト順番信号RSO、および制御信号A-Dを出力している。ファイン制御部５２は、比較結果信号COMP、ファインイネーブル信号FEN、ラフシフト順番信号RSO、および開始信号STTを受け、最大信号MAX、最小信号MIN、およびカウンタ信号CNT3-CNT0を出力している。以

降、カウンタ信号CNT3-CNT0の値をカウンタ値と称する場合もある。

【００５３】D/Aコンバータ５３は、４ビットのカウンタ信号CNT3-CNT0を受け、受けたカウンタ値に応じた制御電圧V1を出力し、受けたカウンタ値の反転データに応じた制御電圧V2を出力している。図４は、遅延クロック生成部３７の詳細を示している。遅延クロック生成部３７は、遅延回路５５、スイッチ回路５９、およびシフトレジスタ６３を備えている。

【００５４】遅延回路５５は、複数の補間回路３９-1、３９-2、...、３９-nを備えている。補間回路３９-1、３９-2、...、３９-nは、入力端子IN1、/IN1、IN2、/IN2、イネーブル端子EN、制御端子α、β、および出力端子OUT、/OUTを備えている。出力側から数えて奇数段目の補間回路３９は、入力端子IN1、/IN1で内部クロック信号CLK-K、/CLK-Kをそれぞれ受け、入力端子IN2、/IN2で前段の補間回路３９の出力（例えばCLK2、/CLK2）を受けている。出力側から数えて偶数段目の補間回路３９は、入力端子IN2、/IN2で内部クロック信号CLK-K、/CLK-Kをそれぞれ受け、入力端子IN1、/IN1で前段の補間回路３９の出力（例えばCLK3、/CLK3）を受けている。初段の補間回路３９-nの入力端子IN1、/IN1は、接地線VSSに接続されている。最終段の補間回路３９-1からは、内部クロック信号CLK1、/CLK1が出力されている。

【００５５】また、補間回路３９-1、３９-2、...、３９-nは、シフトレジスタ６３から供給されるイネーブル信号E2、E3、...、Enをそれぞれイネーブル端子ENで受け、スイッチ回路５９から供給される制御電圧α、βをそれぞれ制御端子α、βで受けている。なお、各補間回路３９から出力される内部クロック信号（例えばCLK2、/CLK2）は、前段側の補間回路３９に帰還されることはない。

【００５６】スイッチ回路５９は、遅延回路５８の補間回路３９-1、３９-2、...、３９-nにそれぞれ対応するスイッチ部６１-1、６１-2、...、６１-nを備えている。各スイッチ部５９は、同一の制御電圧V1、V2、VMAX、VMINを受けている。ここで、制御電圧VMAX、VMINは、D/Aコンバータ５３が出力する最大電圧、最小電圧と同一であり、図示しない電圧発生回路で生成されている。また、各スイッチ部６１-1、６１-2、...、６１-nは、スイッチ信号X1、Y1、Z1、スイッチ信号X2、Y2、Z2、...、スイッチ信号Xn、Yn、Znをそれぞれ受けている。

【００５７】各スイッチ部６１-1、６１-2、...、６１-nは、制御電圧α、βを補間回路３９-1、３９-2、...、３９-nにそれぞれ出力している。シフトレジスタ６３は、制御信号A-Dおよび開始信号STTを受け、イネーブル信号E2、E3、...、En、En+1、およびスイッチ信号X1、Y1、Z1、X2、Y2、Z2、...、Xn、Yn、Znを出力している。

【００５８】図５は、補間回路３９の詳細を示している。補間回路３９は、入力信号IN1、/IN1（またはIN2、/IN2）を受け、出力信号OUT、/OUTを生成する２つの差動増幅回路で構成されている。各差動増幅回路は、カレントミラー回路等からなる定電流源３９ａ、入力信号IN1、/IN1、IN2、/IN2を受けるnMOS３９ｂ、およびnMOS３９ｂを接地線VSSに接続するnMOS３９ｃを備えている。入力信号IN1、/IN1に対応するnMOS３９ｃのゲートには、制御電圧βが供給されている。入力信号IN2、/IN2に対応するnMOS３９ｃのゲートには、制御電圧αが供給されている。なお、制御電圧α、βを受ける端子を制御端子α、βとも称する。

【００５９】図６は、スイッチ回路５９の各スイッチ部６１を示している。スイッチ部６１は、制御電圧VMIN、V1、VMAXを受け、そのいずれかを制御電圧αとして出力する第１スイッチ部６１ａと、制御電圧VMIN、V2、VMAXを受け、そのいずれかを制御信号βを出力する第２スイッチ部６１ｂとを備えている。第１スイッチ部６１ａおよび第２スイッチ部６１ｂは、pMOSおよびnMOSのソース・ドレインを互いに接続したCMOSスイッチ７３ａと、このCMOSスイッチ７３ａのpMOSに接続されたインバータ７３ｂとからなる３つのスイッチ７３で構成されている。なお、以降の説明では、制御電圧α、βを出力する端子を制御端子α、βとも称する。

【００６０】第１スイッチ部６１ａでは、制御電圧VMINを受けるスイッチ７３は、スイッチ信号Xで制御され、制御電圧V1を受けるスイッチ７３は、スイッチ信号Yで制御され、制御電圧VMAXを受けるスイッチ７３は、スイッチ信号Zで制御されている。第２スイッチ部６１ｂでは、制御電圧VMINを受けるスイッチ７３は、スイッチ信号Zで制御され、制御電圧V2を受けるスイッチ７３は、スイッチ信号Yで制御され、制御電圧VMAXを受けるスイッチ７３は、スイッチ信号Xで制御されている。

【００６１】第１スイッチ部６１ａの各スイッチ７３の出力端子は互いに接続されている。第２スイッチ部６１ｂの各スイッチ７３の出力端子は互いに接続されている。図７は、シフトレジスタ６３の要部を示している。

【００６２】シフトレジスタ６３は、図４に示したスイッチ回路５９のスイッチ部６１-1、６１-2、...に対応する複数の制御回路６７-1、６７-2、...、および制御回路６９-1、６９-2、...を備えている。各制御回路６７は、２入力のNANDゲート６７ｂと、インバータ６７ｃと、nMOS６７ｄ、６７ｅ、６７ｆ、６７ｇとを有している。NANDゲート６６ｂの入力には、開始信号STTおよびインバータ６７ｃの出力が供給されている。NANDゲート６７ｂの出力からは、イネーブル信号E2、E3、...、Enが出力されている。インバータ６７ｃの出力は、NANDゲート６７ｂの入力、nMOS６７ｆのドレイン、隣接する後段側（図の右側）の制御回路６７が備えるnMOS６７ｅのゲート、および制御回路６９に接続されている。

【００６３】nMOS６７ｄ、６７ｅは、直列に接続されて

おり、nMOS６７ｅのソースは、接地線VSSに接続されている。nMOS６７ｆ、６７ｇは、直列に接続されており、nMOS６７ｇのソースは、接地線VSSに接続されている。nMOS６７ｅのゲートは、隣接する前段側（図の左側）の制御回路６７が備えるインバータ６７ｃの出力に接続されている。nMOS６７ｇのゲートは、隣接する後段側の制御回路６７が備えるNANDゲート６７ｂの出力に接続されている。最終段の制御回路６７のnMOS６７ｇのゲートは、電源線VDDに接続されている。

【００６４】nMOS６７ｄ、６７ｆのゲートには、それぞれ制御信号A、C、あるいは制御信号B、Dが接続されている。すなわち、隣接する制御回路６７には、制御信号A、Cおよび制御信号B、Dが交互に供給されている。また、各制御回路６９は、２入力のNANDゲート６９ａと、２入力のNORゲート６９ｂ、６９ｃと、インバータ６９ｄ、６９ｅ、６９ｆとを有している。

【００６５】NANDゲート６９ａの入力は、制御回路６７のNANDゲート６７ｂの出力と、隣接する前段側の制御回路６７が備えるインバータ６７ｃの出力とに接続されている。NORゲート６９ｂの入力は、制御回路６７のNANDゲート６７ｂの出力と、インバータ６９ｄを介して隣接する前段側の制御回路６７が備えるインバータ６７ｃの出力とに接続されている。NORゲート６９ｃの入力は、インバータ６９ｅを介して制御回路６７のNANDゲート６７ｂの出力と、隣接する前段側の制御回路６７が備えるインバータ６７ｃの出力とに接続されている。NANDゲート６９ａからは、インバータ６９ｆを介してスイッチ信号Y1、Y2、...が出力されている。NORゲート６９ｂからは、スイッチ信号X1、X2、...が出力されている。NORゲート６９ｃからは、スイッチ信号Z1、Z2、...が出力されている。

【００６６】シフトレジスタ６３の動作については、後述するラフ初期調整のフローチャート（図２７のステップＳ６）で説明する。図８は、補間回路３９に供給される内部クロック信号の入力波形と、補間回路３９から出力される内部クロック信号の出力波形とを示している。ここで、補間回路３９を正常に動作させるために、内部クロック信号CLK-K、CLKnには、互いに重なる期間T1が必要である。この実施形態では、前段の補間回路３９およびクロックバッファ３４ａ、３４ｂにより、互いに重なる期間T1を有する緩やかな信号が生成される。

【００６７】例えば、図３に示したD/Aコンバータ５３は、カウンタ値"ゼロ"を受けたときに、制御電圧V1、V2をそれぞれ制御電圧VMIN、制御電圧VMAXにする。なお、このとき、図６に示したスイッチ部６１は、Hレベルのスイッチ信号Yを受けている。奇数段目の補間回路３９-1は、この制御電圧V1、V2を制御端子α、βでそれぞれ受けたときに、内部クロック信号CLK-Kとほぼ同一な位相の内部クロック信号CLK1を出力する（図８(a)）。また、偶数段目の補間回路３９-2は、この制御電圧V1、V2を制御端子α、βでそれぞれ受けたときに、内部クロック信号CLK3とほぼ同一な位相の内部クロック信号CLK2を出力する（図８(b)）。なお、実際の動作では、出力波形の位相は、入力波形の位相に比べ補間回路３９の伝搬遅延時間だけ遅れる。

【００６８】また、D/Aコンバータ５３は、カウンタ値"４"を受けたときに、制御電圧V1、V2をそれぞれ"制御電圧VMAX－制御電圧VMIN"の２５％、７５％にする。奇数段目の補間回路３９-1は、この制御電圧V1、V2を制御端子α、βでそれぞれ受けたときに、内部クロック信号CLK2、CLK-Kの位相差の２５％に相当する位相の内部クロック信号CLK1を出力する（図８(c)）。偶数段目の補間回路３９-2は、この制御電圧V1、V2を制御端子α、βでそれぞれ受けたときに、内部クロック信号CLK3、CLK-Kの位相差の７５％に相当する位相の内部クロック信号CLK2を出力する（図８(d)）。

【００６９】同様にして、カウンタ値を変えることで、各補間回路３９から出力される内部クロック信号の位相は、１６通りに変更される。図９は、位相比較部４６の詳細を示している。位相比較部４６は、第１分周回路８２、第２分周回路８４、ダミー出力バッファ８６、ダミー入力バッファ８８、および位相比較回路９０を備えている。

【００７０】第１分周回路８２は、内部クロック信号CLK-Kおよび開始信号STTを受け、周波数を分周した参照クロック信号REFCLKを位相比較回路９０に出力している。第２分周回路８４は、内部クロック信号CLK1および開始信号STTを受け、周波数を分周したクロック信号を出力している。第２分周回路８４により分周されたクロック信号は、ダミー出力バッファ８６、ダミー入力バッファ８８に伝達され、内部クロック信号DICLKとして位相比較回路９０に出力されている。

【００７１】位相比較回路９０は、参照クロック信号REFCLKおよび内部クロック信号DICLKの位相を比較し、比較結果信号COMPおよびタイミング信号TIMを出力している。図１０は、第１分周回路８２および第２分周回路８４を示している。第１分周回路８２および第２分周回路８４は、２つの分周器９２を直列に接続して構成されており、クロック信号の周波数を４分の１分周する回路である。

【００７２】第１分周回路８２は、内部クロック信号CLK-Kを前段の分周器９２の入力端子INで受け、参照クロック信号REFCLKを後段の分周器９２の出力端子OUTから出力している。前段の分周器９２の出力端子OUTは、後段の分周器９２の入力端子INに接続されている。制御端子STT1と後段の分周器９２の制御端子STT2には、開始信号STTが供給されており、前段の分周器９２の制御端子STT2と後段の分周器９２の制御端子STT1には、電源線VDDが接続されている。

【００７３】第２分周回路８４は、内部クロック信号CL

KIを前段の分周器９２の入力端子INで受け、内部クロック信号DICLKを後段の分周器９２の出力端子OUTから出力している。前段の分周器９２の出力端子OUTは、後段の分周器９２の入力端子INに接続されている。各分周器９２の制御端子STT1には、開始信号STTが供給されており、制御端子STT2には、電源線VDDが接続されている。

【００７４】図１１は、分周器９２の詳細を示している。分周器９２は、３入力のNANDゲート９２ａ、９２ｂからなる第１ラッチ９４と、入力端子から供給されるクロック信号の立ち上がりに同期して第１ラッチ回路の状態を第２ラッチ９８に伝達する４入力のNANDゲート９２ｃおよび２入力のNANDゲート９２ｄと、３入力のNANDゲート９２ｅ、９２ｆからなる第２ラッチ９６と、入力端子から供給されるクロック信号の立ち下がりに同期して第２ラッチ９６の状態を第１ラッチ９４に伝達する２入力のNANDゲート９２ｇ、９２ｈと、NANDゲート９２ｇ、９２ｈにクロック信号の反転論理を供給するインバータ９２１と、分周したクロック信号の出力を制御する直列に接続されたpMOS９２ｊおよびnMOS９２ｋ、９２１と、２入力のNANDゲート９２ｍ、９２ｎからなる出力ラッチ９８と、インバータ９２ｏ、９２ｐ、９２ｑからなる出力回路１００とで構成されている。

【００７５】NANDゲート９２ａの出力（ノードN2）は、NANDゲート９２ｂ、９２ｃの入力に接続されている。NANDゲート９２ｂの出力（ノードN3）は、NANDゲート９２ａ、９２ｄの入力およびnMOS９２ｋのゲートに接続されている。NANDゲート９２ｃの出力（ノードN0）は、NANDゲート９２ｅの入力およびpMOS９２ｊのゲートに接続されている。NANDゲート９２ｄの出力（ノードN1）は、NANDゲート９２ｆの入力に接続されている。NANDゲート９２ｅの出力（ノードN7）は、NANDゲート９２ｆ、９２ｇの入力に接続されている。NANDゲート９２ｆの出力（ノードN8）は、NANDゲート９２ｅ、９２ｈの入力に接続されている。NANDゲート９２ｇの出力（ノードN5）は、NANDゲート９２ｂの入力に接続されている。NANDゲート９２ｈの出力（ノードN6）は、NANDゲート９２ａの入力に接続されている。インバータ９２１の出力（ノードN4）は、NANDゲート９２ｇ、９２ｈの入力に接続されている。NANDゲート９２ｍの出力は、NANDゲート９２ｎの入力に接続されている。NANDゲート９２ｎの出力は、NANDゲート９２ｍの入力、トランジスタ９２ｊ、９２ｋのドレインに接続されている。また、NANDゲート９２ｎの出力は、インバータ９２ｏ、９２ｐを介して出力信号OUTとして、インバータ９２ｑを介して出力信号/OUTとして出力されている。

【００７６】入力端子INは、NANDゲート９２ｃ、９２ｄ、インバータ９２１、nMOS９２１のゲートに接続されている。制御端子STT1は、NANDゲート９２ｂ、９２ｃ、９２ｅ、９２ｍに接続されている。制御端子STT2は、NANDゲート９２ａ、９２ｃ、９２ｆ、９２ｎに接続されている。トランジスタ９２ｊ、９２１のソースは、それぞれ、電源線VDD、接地線VSSに接続されている。

【００７７】図１２および図１３は、分周器９２の基本的な動作を示している。図１２は、制御端子STT2がHレベルに固定されたときの動作を示している。初期状態においては、図１１に示したNANDゲート９２ｄおよびインバータ９２ｉは、活性化されており、入力端子INから供給されるクロック信号がノードN1、N4に伝達されている。制御端子STT1にHレベルが供給されることでNANDゲート９２ｄ、９２ｆが活性化され、クロック信号の立ち上がりに同期してノードN1がLレベルになる。ノードN1のLレベルにより、ノードN8はHレベルになり、ノードN7はLレベルになる（図１２(a)）。

【００７８】ノードN8のHレベルによりNANDゲート９２ｈが活性化され、クロック信号の立ち下がりに同期してノードN6がLレベルになる。ノードN6のLレベルにより、ノードN2がHレベルになり、ノードN3がLレベルになる（図１２(b)）。ノードN2のHレベルによりNANDゲート９２ｃが活性化され、クロック信号の立ち上がりに同期してノードN0がLレベルになる。ノードN0のLレベルにより、ノードN7がHレベルになり、ノードN8がLレベルになる（図１２(c)）。

【００７９】また、ノードN0のLレベルにより、トランジスタ９２ｊがオンし、ノードN9がHレベルになる（図１２(d)）。ノードN7のHレベルによりNANDゲート９２ｇが活性化され、クロック信号の立ち下がりに同期してノードN5がLレベルになる。ノードN5のLレベルにより、ノードN3がHレベルになり、ノードN2がLレベルになる（図１２(e)）。

【００８０】この後、上述した動作が繰り返され、出力ノードであるノードN9には、供給されたクロック信号の周波数を２分の１分周したクロック信号が生成される。

図１３は、制御端子STT1がHレベルに固定されたときの動作を示している。初期状態においては、図１１に示したNANDゲート９２ｈおよびインバータ９２ｉは、活性化されており、入力端子INから供給されるクロック信号がノードN4、N6に伝達されている。制御端子STT2にHレベルが供給されることでNANDゲート９２ｃが活性化され、クロック信号の立ち上がりに同期してノードN0がLレベルになる。ノードN0のLレベルにより、ノードN7はLレベルになり、ノードN8はHレベルになる（図１３(a)）。

【００８１】ノードN8のHレベルによりNANDゲート９２ｇが活性化され、クロック信号の立ち下がりに同期してノードN5がLレベルになる。ノードN5のLレベルにより、ノードN3がHレベルになり、ノードN2がLレベルになる（図１３(b)）。ノードN3のHレベルによりトランジスタ９２ｋがオンする。ノードN3のHレベルによりNANDゲート９２ｄが活性化され、クロック信号の立ち上がりに同期してノードN1がLレベルになる。ノードN1のL

レベルにより、ノードN8がHレベルになり、ノードN7がLレベルになる（図１３(c)）。

【００８２】また、クロック信号の立ち上がりに同期してトランジスタ９２１がオンし、ノードN9はLレベルになる（図１３(d)）。ノードN8のHレベルによりNANDゲート９２hが活性化され、クロック信号の立ち下がりに同期してノードN6がLレベルになる。ノードN6のLレベルにより、ノードN2がHレベルになり、ノードN3がLレベルになる（図１３(e)）。

【００８３】この後、上述した動作が繰り返され、供給されたクロック信号の周波数を2分の１分周したクロック信号が出力ノードであるノードN9に生成される。上述したように、制御信号STT1を制御することで、立ち上がりから始まる分周信号が生成され、制御信号STT2を制御することで、立ち下がりから始まる分周信号が生成される。

【００８４】図１４は、位相比較回路９０の詳細を示している。位相比較回路９０は、パルス発生回路１０２と、フリップフロップ１０４、１０６と、タイミング生成回路１０８とを備えている。パルス発生回路１０２は、内部クロック信号DICLK、参照クロック信号REFCLKを受ける２入力のNANDゲート１０２ａと、NANDゲート１０２ａの出力に接続された遅延回路１０２ｂと、NANDゲート１０２ａの出力および遅延回路１０２ｂの出力を受ける２入力のNORゲート１０２ｃとで構成されている。遅延回路１０２ｂは、３つのインバータの間にMOS容量を接続して構成されている。パルス発生回路１０２は、内部クロック信号DICLKと参照クロック信号REFCLKとがともにHレベルになったときに、Hパルスを発生する回路である。

【００８５】フリップフロップ１０４は、２入力のNANDゲート１０４ａ、１０４ｂの出力を互いに帰還させて構成されている。NANDゲート１０４ａ、１０４ｂの入力には、内部クロック信号DICLK、参照クロック信号REFCLKが供給されている。フリップフロップ１０４は、クロック信号DICLK、REFCLKのうち、早く立ち上がった側の出力をLレベルにする回路である。

【００８６】フリップフロップ１０６は、出力を互いに帰還させた２入力のNANDゲート１０６ａ、１０６ｂと、NANDゲート１０６ａ、１０６ｂの入力に接続された２入力のNANDゲート１０６ｃ、１０６ｄとで構成されている。NANDゲート１０６ｃ、１０６ｄの一方の入力には、パルス発生回路１０２の出力が接続されている。NANDゲート１０６ｃ、１０６ｄの他方の入力には、それぞれNANDゲート１０４ａ、１０４ｂの出力が接続されている。NANDゲート１０６ｂの出力からは、比較結果信号COMPが出力されている。フリップフロップ１０６は、内部クロック信号DICLKの位相が参照クロック信号REFCLKの位相より進んでいるときに比較結果信号COMPをHレベルにし、内部クロック信号DICLKの位相が参照クロック信号REFCLKの位相より遅れているときに比較結果信号COMPをLレベルにする回路である。

【００８７】タイミング生成回路１０８は、NANDゲートとインバータとからなる遅延回路１０８ａと、参照クロック信号REFCLKと遅延回路１０８ａとを受ける２入力のNANDゲート１０８ｂと、NANDゲート１０８ｂの出力に直列に接続されたインバータ１０８ｃ、１０８ｄとで構成されている。インバータ１０８ｄの出力からは、タイミング信号TIMが出力されている。タイミング生成回路１０８は、参照クロック信号REFCLKの立ち上がりから遅延回路１０８の遅延時間だけ遅れて立ち上がるタイミング信号TIMを生成する回路である。

【００８８】図１５は、ラフ／ファイン制御部４８の詳細を示している。ラフ／ファイン制御部４８は、NANDゲートおよびインバータで構成されラフイネーブル信号RENまたはファインイネーブル信号FENを活性化する組み合わせ回路１１０と、ラフシフト方向信号RSDの情報を保持するシフト方向保持回路１１２と、EOR回路１１４と、ラフロックオン信号RLONを出力するロックオン生成回路１１６とを備えている。

【００８９】組み合わせ回路１１０は、図１６に示す制御状態図にしたがい、ラフイネーブル信号RENまたはファインイネーブル信号FENを活性化する回路である。例えば、組み合わせ回路１１０は、ラフロックオン信号RLONがLレベルのときに、タイミング信号TIMに同期してファインイネーブル信号FENを活性化する。組み合わせ回路１１０は、ラフロックオン信号RLON、ラフシフト順番信号RSO、最大信号MAX、比較結果信号COMPがともにHレベルのときには、タイミング信号TIMに同期してラフイネーブル信号RENを活性化する。

【００９０】シフト方向保持回路１１２は、pMOSおよびnMOSのソース・ドレインを互いに接続したCMOSスイッチ１１２ａ、１１２ｂと、２つのインバータの入力と出力とを互いに接続したラッチ１１２ｃ、１１２ｄとを交互に直列に接続した保持部と、CMOSスイッチ１１２ａ、１１２ｂを制御するインバータ１１２ｅとを備えている。CMOSスイッチ１１２ａ、１１２ｂは、タイミング信号TIMにより制御されている。シフト方向保持回路１１２は、タイミング信号TIMの立ち上がりに同期してラフシフト方向信号RSDを取り込み、保持する回路である。

【００９１】EOR回路１１４は、現在のラフシフト方向信号RSDとシフト方向保持回路１１２から出力される１クロック前のラフシフト方向信号RSDとの状態を比較する回路である。ロックオン生成回路１１６は、２つの２入力のNORゲート１１６ａ、１１６ｂの出力を互いに帰還したフリップフロップと、NORゲート１１６ｂの入力に接続されたインバータ列１１６ｃと、NORゲート１１６ｂの出力に接続されたインバータ列１１６ｄとで構成されている。NORゲート１１６ａの入力には、EOR回路１１４の出力が接続され、インバータ列１１６ｃの入力に

は、２つのインバータを介して開始信号STTが供給されている。インバータ列１１６ｄの出力からはラフロックオン信号RLONが出力されている。

【００９２】図１７は、ラフ制御部５１の詳細を示している。ラフ制御部５１は、ラフコントロール１１８と、ラフシフトラッチ１２０と、シフト方向ラッチ１２２とで構成されている。ラフコントロール１１８は、ラフロックオン信号RLON、ラフシフト順番信号RSO、ラフイネーブル信号REN、比較結果信号COMP、最大信号MAX、最小信号MINを受け、第１、第２シフトレジスタ６０、６４のシフト動作時にHパルスを発生するシフト通知信号SINF、第１、第２シフトレジスタ６０、６４のシフト制御する元の信号の制御信号A、B、C、Dを出力している。

【００９３】ラフシフトラッチ１２０は、開始信号STTおよびシフト通知信号SINFを受け、ラフシフト順番信号RSOを出力している。シフト方向ラッチ１２２は、開始信号STTおよび制御信号A、B、C、Dを受け、ラフシフト方向信号RSDを出力している。図１８は、ラフコントロール１１８の詳細を示している。

【００９４】ラフコントロール１１８は、NANDゲートおよびインバータで構成された組み合わせ回路１２６と、分周回路１２８と、制御信号A、B、C、Dを生成する制御回路１３０と、制御信号A、B、C、Dのいずれかの Hレベルを受けてシフト通知信号SINFを生成する４入力のOR回路１３２とで構成されている。組み合わせ回路１２６は、図１９に示す制御状態図にしたがい、進み信号FWまたは遅れ信号BWを活性化する回路である。例えば、組み合わせ回路１２６は、ラフロックオン信号RLON、比較結果信号COMPがともにLレベルのときに、進み信号FWを活性化する。組み合わせ回路１２６は、ラフロックオン信号RLON、ラフシフト順番信号RSO、最大信号MAX、比較結果信号COMPがともにHレベルのときに、遅れ信号BWを活性化する。組み合わせ回路１２６は、ラフロックオン信号RLON、ラフシフト順番信号RSOがHレベル、最大信号MAX、最小信号MINがLレベルのときには、進み信号FW、遅れ信号BWをともに非活性化する。

【００９５】分周回路１２８は、８つの２入力のNANDゲート組み合わせたフリップフロップ回路を、２段縦続接続して構成されている。分周回路１２８は、ラフイネーブル信号RENの周波数を２分の１分周し、ラフイネーブル信号RENと同じH期間のパルス信号をノードN10とノードN11とに交互に出力する回路である。制御回路１３０は、２入力のNANDゲートと３つのインバータを縦続接続したAND回路１３０ａ、１３０ｂ、１３０ｃ、１３０ｄを備えている。AND回路１３０ａは、ノードN10のパルス信号と遅れ信号BWを受け、制御信号Dを出力している。AND回路１３０ｂは、ノードN11のパルス信号と遅れ信号BWを受け、制御信号Cを出力している。AND回路１３０ｃは、ノードN10のパルス信号と進み信号FWを受け、制御信号Bを出力している。AND回路１３０ｄは、ノードN11のパルス信号と進み信号FWを受け、制御信号Aを出力している。

【００９６】図２０は、ラフコントロール１１８の動作タイミングの概要を示している。まず、ラフイネーブル信号RENがLレベルを保持している場合について説明する。図１８に示したラフコントロール１１８の分周回路１２８は、ラフイネーブル信号RENのLレベルを受けて、ノードN10、N11をLレベルにする（図２０(a)）。制御回路１３０は、ノードN10、N11をLレベルを受けて、制御信号A、B、C、DをLレベルにする（図２０(b)）。すなわち、ラフイネーブル信号RENがLレベルのときには、進み信号FW、遅れ信号BWのレベルによらず、制御信号A、B、C、DはLレベルになる。

【００９７】次に、ラフイネーブル信号RENがクロックパルスを発生している場合について説明する。分周回路１２８は、ラフイネーブル信号RENの２分の１分周したクロック信号をノードN10、N11に交互に出力する（図２０(c)）。制御回路１３０は、ノードN10、N11のクロック信号および組み合わせ回路１２６からの進み信号FW、遅れ信号BWのレベルに応じて、Hパルスの制御信号A、B、C、Dを出力する。すなわち、制御回路１３０は、進み信号FWがHレベル、遅れ信号BWがLレベルのときに、ノードN11のクロック信号に同期して制御信号AをHレベルにし、ノードN10のクロック信号に同期して制御信号BをHレベルにする（図２０(d)）。制御回路１３０は、進み信号FWがLレベル、遅れ信号BWがHレベルのときに、ノードN11のクロック信号に同期して制御信号CをHレベルにし、ノードN10のクロック信号に同期して制御信号DをHレベルにする（図２０(e)）。

【００９８】OR回路１３２は、制御信号A、B、C、DのHレベルを受けて、シフト通知信号SINFをHレベルにする（図２０(f)）。図２１は、ラフシフトラッチ１２０の詳細を示している。ラフシフトラッチ１２０は、pMOSおよびnMOSのソース・ドレインを互いに接続したCMOSスイッチ１２０ａ、１２０ｂと、インバータと２入力のNANDゲートの入力と出力とを互いに接続したラッチ１２０ｃ、１２０ｄとを交互に直列に接続した保持部と、CMOSスイッチ１２０ａ、１２０ｂを制御するインバータ１２０ｅと、保持部の出力を入力に帰還するためのインバータ１２０ｆと、２入力のNANDゲートを制御するインバータ列１２０ｇとを備えている。保持部の出力からは、ラフシフト順番信号RSOが出力されている。CMOSスイッチ１２０ａ、１２０ｂは、シフト通知信号SINFにより制御されている。インバータ列１２０ｇの入力には、開始信号STTが供給されている。ラフシフトラッチ１２０は、シフト通知信号SINFの立ち上がりに同期してラフシフト順番信号RSOを交互にHレベル、Lレベルにする回路である。

【００９９】図２２は、シフト方向ラッチ１２２の詳細を示している。シフト方向ラッチ１２２は、２入力のNA

NDゲート１２２ａ、１２２ｂの出力を互いに帰還させたフリップフロップ回路と、そのフリップフロップ回路の各入力にそれぞれ接続された２入力のNORゲート１２２ｃ、１２２ｄとで構成されている。NORゲート１２２ｃの入力には、制御信号C、Dが供給されている。NORゲート１２２ｄの入力には、制御信号A、Bが供給されている。NORゲート１２２ｂの出力からは、ラフシフト方向信号RSDが出力されている。シフト方向ラッチ１２２は、制御信号C、DがHレベルになったときにラフシフト方向信号RSDをLレベルにし、制御信号A、BがHレベルになったときに、ラフシフト方向信号RSDをHレベルにする回路である。

【０１００】図２３は、ファイン制御部５２を示している。ファイン制御部５２は、ファインコントロール１３４、２進カウンタ１３６、最大最小検出器１３８を備えている。

【０１０１】ファインコントロール１３４は、ラフシフト順番信号RSO、比較結果信号COMP、およびファインイネーブル信号FENを受け、カウントアップ信号UPおよびカウントダウン信号DOWNを出力している。２進カウンタ１３６は、カウントアップ信号UPを受けたときに、内蔵のカウンタを増加させ、カウントダウン信号DOWNを受けたときに、内蔵のカウンタを減少させる。２進カウンタ１３６は、４ビットカウンタとして構成されており、各ビットの値を、カウンタ信号CNT3-CNT0として出力している。ここで、カウンタ信号CNT3が上位ビットに対応している。

【０１０２】最大最小検出器１３８は、カウンタ値が最大（全てのビットがHレベル）になったときに最大信号MAXを出力し、カウンタ値が最小（ゼロ）になったときに最小信号MINを出力する回路である。図２４は、ファインコントロール１３４の詳細を示している。ファインコントロール１３４は、NANDゲートおよびインバータで構成された組み合わせ回路を備えている。ファインコントロール１３４は、図２５に示す制御状態図にしたがい、カウントアップ信号UPおよびカウントダウン信号DOWNを出力する回路である。例えば、カウントアップ信号UPおよびカウントダウン信号DOWNは、ファインイネーブル信号FENがLレベルのときにともに非活性化される。カウントアップ信号UPは、ファインイネーブル信号FEN、ラフシフト順番信号RSO、比較結果信号COMPがHレベルのとき、およびファインイネーブル信号FENがHレベル、ラフシフト順番信号RSO、比較結果信号COMPがLレベルのときに活性化される。カウントダウン信号DOWNは、ファインイネーブル信号FEN、ラフシフト順番信号RSOがHレベル、比較結果信号COMPがLレベルのとき、およびファインイネーブル信号FEN、比較結果信号COMPがHレベル、ラフシフト順番信号RSOがLレベルのときに活性化される。

【０１０３】上述した半導体集積回路では、以下示すように、内部クロック信号CLKIの位相が調整される。なお、以降では、正論理のクロック信号（CLK-K、CLKI等）について説明し、負論理のクロック信号（/CLK-K、/CLKI等）についての説明は省略する。負論理のクロック信号のタイミングは、位相が１８０°ずれていることを除き、正論理のクロック信号のタイミングと同一である。

【０１０４】図２６は、上述した各回路が行う位相調整の制御を示すフローチャートである。位相調整の制御は、リセット信号/RESETの解除により開始される。初期設定（図２７）の後、ラフ初期調整（図２７）、ファイン初期調整（図２８、２９）、ラフ／ファイン調整（図３０、３１）が順次行われる。ラフ初期調整、ファイン初期調整は、粗調整に対応し、ラフ／ファイン調整は微調整に対応している。

【０１０５】（ａ）初期設定（図２７）

まず、ステップＳ１において、図３および図４に示した、開始信号STTが供給されている遅延クロック生成部３７のシフトレジスタ６３、ラフ／ファイン制御部４８、ラフ制御部５１のラフシフトラッチ１２０、ファイン制御部５２の２進カウンタ１３６、位相比較部４６の第１、第２分周回路８２、８４の初期化が行われる。

【０１０６】図３２は、開始信号発生器３２の動作を示している。開始信号発生器３２は、リセット信号/RESETの非活性化を受けた後、内部クロック信号CLK-Kの立ち下がりに同期して開始信号STTをHレベルにする。このため、位相比較の開始時に、遅延クロック生成部３７、位相比較部４６等は、互いに同期して動作を開始し、常に所定の状態から位相比較が開始される。また、例えば、第１分周回路８２において、内部クロック信号CLK-KのHレベル期間が開始信号STTによりマスクされ、ハザードとなることが防止され、位相比較の開始時に誤動作することが防止される。

【０１０７】リセット信号/RESETの非活性化は、半導体集積回路が内蔵するモードレジスタからのDLL開始信号、DLLリセット解除信号、電源立ち上げ完了の検出信号等を受けて行われる。

【０１０８】シフトレジスタ６３（図７）は、開始信号STTのHレベルを受けて活性化され、制御信号A、B、C、Dを受け付け可能になる。ファイン制御部５２の２進カウンタ１３６（図２３）は、開始信号STTのHレベルを受け、カウンタを中央の値C(3:0)＝(1,0,0,0)に設定する。D/Aコンバータ５３は、このカウンタ値(1,0,0,0)を受け、制御電圧V1、V2を制御電圧VMAXと制御電圧VMINとの中間に値にする。すなわち制御電圧V1、V2は、ほぼ同じ電圧になるラフ／ファイン制御部４８（図１５）は、初期化により、ラフロックオン信号RLONをLレベルにする。ラフシフトラッチ１２０は、初期化により、ラフシフト順番信号RSOをLレベルにする。

【０１０９】第１、第２分周回路８２、８４（図１０）

は、開始信号STTのHレベルを受けて、各分周器９２を活性化する。図３３は、位相比較部４６での各クロック信号のタイミングを示している。第１分周回路８２は、内部クロック信号CLK-Kを受けた後、５クロックで参照クロック信号REFCLKの出力を開始する。第２分周回路８４は、内部クロック信号CLK1を受けた後、３クロックで分周した信号を出力する。図３３では、遅延クロック生成部３７での遅延時間の設定が最小の場合を示している。第２分周回路８４の出力した信号は、ダミー出力バッファ８６およびダミー入力バッファ８８に供給され、遅延時間T5だけ遅れた内部クロック信号DICLKが生成される。そして、参照クロック信号REFCLKと内部クロック信号DICLKとの位相が比較される。

【０１１０】第１、第２分周回路８２、８４の動作を開始信号STTに同期して行うことで、常に、所定の位相差を有する状態で位相調整が開始される。次に、ステップＳ２において、遅延クロック生成部３７の初期設定が行われる。まず、図３に示したラフ制御部５１が動作し、図７に示したシフトレジスタ６３は、スイッチ信号(X1、Y1、Z1)、(X2、Y2、Z2)、(X3、Y3、Z3)、(X4、Y4、Z4)、(X5、Y5、Z5)、...のレベルをそれぞれ(L、L、H)、(L、L、H)、(L、H、L)、(H、L、L)、(H、L、L)、...にする。このとき、イネーブル信号E2、E3、E4はHレベルになり、イネーブル信号E5、E6、...はLレベルになる。このため、補間回路３９-1、３９-2、３９-3、３９-4が活性化される。使用しない補間回路３９-5、３９-6、...、３９-nは活性化されないため、消費電力が低減される。

【０１１１】なお、遅延クロック生成部３７の初期設定は、図示しない初期回路により強制的に行ってもよい。図３４は、初期設定後の各補間回路３９の状態を示している。補間回路３９-5、３９-6、...、３９-nは、上述したように動作を停止している。補間回路３９-4に対応するスイッチ部６１-4（図4、図6）は、スイッチ信号X4のHレベルを受けて、制御端子α、βから制御電圧VMIN、制御電圧VMAXを出力する。補間回路３９-4は、制御電圧VMIN、制御電圧VMAXを制御端子α、βで受け、内部クロック信号CLK4を出力する（図３４(a)）。ここで、内部クロック信号CLK4の位相は、内部クロック信号CLK-Kの位相より補間回路３９-4の伝搬遅延時間Delayだけ遅れている。なお、補間回路３９-5は非活性化されているため、補間回路３９-4の入力端子IN2、/IN2には、例えば、Lレベルに固定された内部クロック信号CLK5が供給される。また、補間回路３９-6も非活性化されているため、補間回路３９-5の入力端子IN1には、例えば、Lレベルが供給される。

【０１１２】補間回路３９-3に対応するスイッチ部６１-3（図4、図6）は、スイッチ信号Y3のHレベルを受けて、制御端子α、βから制御電圧V1、V2を出力する。制御電圧V1、V2は、上述したように制御電圧VMAXと制御電圧VMINの中間値にされている。補間回路３９-3は、制御電圧V1、V2を制御端子α、βで受け、入力端子IN2に供給される内部クロック信号CLK-Kと、入力端子IN1に供給される内部クロック信号CLK4のほぼ中間の位相の内部クロック信号CLK3を出力する（図３４(b)）。

【０１１３】補間回路３９-2に対応するスイッチ部６１-2（図4、図6）は、スイッチ信号Z2のHレベルを受けて、制御端子α、βから制御電圧VMAX、制御電圧VMINを出力する。補間回路３９-2は、制御電圧VMAX、制御電圧VMINを制御端子α、βで受け、内部クロック信号CLK2を出力する（図３４(c)）。ここで、内部クロック信号CLK2の位相は、内部クロック信号CLK3の位相より補間回路３９-2の伝搬遅延時間Delayだけ遅れている。すなわち、補間回路３９-2は、遅延回路として動作する。

【０１１４】同様に、補間回路３９-1は、制御電圧VMAX、制御電圧VMINを制御端子α、βで受け、遅延回路として動作し、内部クロック信号CLK1を出力する（図３４(d)）。この結果、遅延回路５５は、初期設定後に、補間回路３９-3で調整された時間TC、および補間回路３９-2、３９-1の伝搬遅延時間Delayだけ遅らせた内部クロック信号CLK-Kを内部クロック信号CLK1として出力する。なお、制御電圧V1、V2を受けている補間回路３９は、位相調整回路として動作し、制御電圧VMAX、制御電圧VMINを受けている補間回路３９は、遅延段として動作する。制御電圧VMIN、制御電圧VMAXを受けている補間回路３９は、位相調整回路として動作する補間回路３９にクロック信号を伝達する。

【０１１５】（b）ラフ初期設定（図２７）

まず、ステップＳ３において、図９に示した位相比較回路９０は、参照クロック信号REFCLKと内部クロック信号DICLKとの位相を比較する。内部クロック信号DICLKの位相が参照クロック信号REFCLKの位相より進んでいる場合には、比較結果信号COMPはHレベルになる。比較結果信号COMPのHレベルにより、この後、内部クロック信号DICLKを遅らせる制御が行われる。内部クロック信号DICLKの位相が参照クロック信号REFCLKの位相より遅れている場合には、比較結果信号COMPはLレベルになる。比較結果信号COMPのLレベルにより、この後、内部クロック信号DICLKの位相を進める制御が行われる。

【０１１６】ステップＳ４において、図１５に示したラフ／ファイン制御部４８は、EOR回路１１４を使用して、シフト方向保持回路１１２に保持されている情報（前回のシフト方向）と、現在のシフト方向とが一致しているかを比較する。ステップＳ５において、シフト方向の比較結果が一致している（シフト方向が同じ）場合、制御はステップＳ６に移行する。比較結果が不一致（シフト方向が変化）の場合、内部クロック信号DICLKの位相が参照クロック信号REFCLKの位相に近づいたと判断し、ラフ初期調整を完了するため、制御はステップＳ９に移行する。ラフ初期調整の完了の判断は、簡易なラ

ッチ回路（シフト方向保持回路１１２）で容易に行われるため、回路規模が低減される。

【０１１７】ラフ／ファイン制御部４８のEOR回路１１４は、比較結果が不一致の場合、Ｈレベルを出力する。なお、位相調整開始直後には、正しい比較ができないため、制御は、強制的にステップＳ６に移行する。ステップＳ６において、図１８に示したラフコントロール１１８は、遅延段を切り替える制御を行う。遅延段の制御は、図１９に示した制御状態図および図２０に示したタイミング図にしたがって行われる。ラフ初期調整時、ラフロックオン信号RLONはＬレベルになっている。このため、ラフコントロール１１８は、比較結果信号COMPがＬレベルのときに、進み信号FWをＨレベルにし、制御信号A、BをＨレベルにする。ラフコントロール１１８は、比較結果信号COMPがＨレベルのときに、遅れ信号BWをＨレベルにし、制御信号C、DをＨレベルにする。

【０１１８】図３５は、ラフ初期調整での補間回路３９を切り替える制御の概要を示している。図中、太枠の補間回路３９は、遅延段として動作することを示し、破線の補間回路３９は、補間回路として動作することを示している。位相比較の結果、比較結果信号COMPがＬレベルになったときには、図３５（ａ）に示すように、内部クロック信号CLK1の位相を遅らせる制御が行われる。

【０１１９】まず、図１８に示したラフコントロール１１８は、比較結果信号COMPを受け、遅れ信号BWをＨレベルにし、制御信号C、DをＨレベルになる。図７に示したシフトレジスタ６３は、制御信号C、Dを受けてイネーブル信号E5をＨレベルにし、スイッチ信号Y3、X4をＬレベルにし、スイッチ信号Z3、Y4をＨレベルにする。すなわち、制御信号DのＨレベルにより、制御回路６７-4のNANDゲート６７ｂの出力ノードが強制的にＨレベルになる。このＨレベルにより、イネーブル信号E5がＨレベルになり、スイッチ信号X4がＬレベルになり、スイッチ信号Y4がＨレベルになる。また、NANDゲート６７ｂの出力ノードＨレベルにより、インバータ６７ｃの出力がＬレベルになり、スイッチ信号Y3がＨレベルになり、スイッチ信号Z3がＬレベルになる。

【０１２０】補間回路３９-5は、ネーブル信号E5のＨレベルにより活性化される。また、スイッチ信号Y3のＬレベルおよびスイッチ信号Z3のＨレベルにより、図４に示したスイッチ部６１-3は、制御端子α、βから制御電圧VMAX、VMINをそれぞれ出力する。スイッチ信号X4のＬレベルおよびスイッチ信号Y4のＨレベルにより、スイッチ部６１-4は、制御端子α、βから制御電圧V1、V2をそれぞれ出力する。

【０１２１】補間回路３９-4は、制御電圧V1、V2を受け、内部クロック信号CLK-Kと内部クロック信号CLK5との中間の位相の内部クロック信号CLK4を出力する。補間回路３９-3は、制御端子α、βに制御電圧VMAX、VMINをそれぞれ受け、内部クロック信号CLK4を遅延時間Delayだけ遅らせ内部クロック信号CLK3として出力する。この結果、クロック信号CLK1の位相は、遅延時間Delayだけ遅れる。すなわち、上記制御により、補間回路３９からなる遅延段が１段追加される。

【０１２２】一方、位相比較の結果、比較結果信号COMPがＨレベルになったときには、図３５（ｂ）に示すように、内部クロック信号CLK1の位相を進ませる制御が行われる。まず、ラフコントロール１１８は、比較結果信号COMPを受け、進み信号FWをＨレベルにし、制御信号A、BをＨレベルにする。図７に示したシフトレジスタ６３は、制御信号A、Bを受けてイネーブル信号E4をＬレベルにし、スイッチ信号Z2、Y3をＬレベルにし、スイッチ信号Y2、X3をＨレベルにする。

【０１２３】補間回路３９-4は、イネーブル信号E4のＬレベルにより非活性化される。また、スイッチ信号Y3のＬレベルおよびスイッチ信号X3のＨレベルにより、図４に示したスイッチ部６１-3は、制御端子α、βから制御電圧VMIN、VMAXをそれぞれ出力する。スイッチ信号Z2のＬレベルおよびスイッチ信号Y2のＨレベルにより、スイッチ部６１-2は、制御端子α、βから制御電圧V1、V2をそれぞれ出力する。

【０１２４】補間回路３９-2は、制御電圧V1、V2を受け、内部クロック信号CLK-Kと内部クロック信号CLK3との中間の位相の内部クロック信号CLK2を出力する。補間回路３９-3は、制御端子α、βに制御電圧VMIN、VMAXをそれぞれ受け、内部クロック信号CLK-Kを遅延時間Delayだけ遅らせ内部クロック信号CLK3として出力する。この結果、クロック信号CLK1の位相は、遅延時間Delayだけ早くなる。すなわち、上記制御により、補間回路３９からなる遅延段が１段減少される。

【０１２５】なお、補間回路３９の切り替えにより、シフト方向が逆向きになったときに、図２２に示したシフト方向ラッチ１２２は、ラフシフト方向信号RSDのレベルを反転する。図３６は、補間回路３９の切り替えによる内部クロック信号CLKI（CLKI）の変化を示している。図３６（ａ）は、２進カウンタ１３６の初期値を中央の“8”（本実施形態で採用）にした場合、図３６（ｂ）は、２進カウンタ１３６の初期値を中央からずれた“4”にした場合を示している。

【０１２６】各補間回路３９は、図８で説明したように、出力信号OUT（クロック信号）の位相を、カウンタ値の増加とともに入力信号IN2（クロック信号）の位相に近づける。このため、奇数段目の補間回路３９では、出力信号OUTの位相は、カウンタ値の増加により遅れる。偶数段目の補間回路３９では、出力信号OUTの位相は、カウンタ値の増加により早まる。したがって、カウンタ値を中央の値に設定した場合には、図３６（ａ）に示すように、内部クロック信号CLKIの位相は、補間回路３９の切り替え時に均等に変化する。このため、ラフ初期調整後のファイン初期調整において、各補間回路３９

による位相調整の範囲は所定内になり、位相比較回数を低減することが可能になる。一方、カウンタ値を中央の値からずらした場合には、図３６（ｂ）に示すように、内部クロック信号CLKIの位相は、補間回路３９の切り替え時に均等に変化しなくなる。このため、ファイン初期調整において、位相比較回数が増大する。

【０１２７】ステップＳ７において、図２１に示したラフシフトラッチ１２０は、ラフコントロール１１８から出力されるシフト通知信号SINFを受けて、ラフシフト順番信号RSOを反転して、偶数段目の補間回路３９にV1，V2が供給されている状態で、奇数段目の補間回路３９への入力状態が反転したことを各回路に伝達する。ステップＳ８において、図１５に示したラフ／ファイン制御部４８のシフト方向保持回路１１２は、現在のラフシフト方向信号RSDの値を保持する。この後、制御は、再びステップＳ３に移行する。

【０１２８】一方、ステップＳ９において、ラフ／ファイン制御部４８のシフト方向保持回路１１２は、現在のラフシフト方向信号RSDの値を保持する。次に、ステップＳ１０において、ラフ／ファイン制御部４８のロックオン生成回路１１６は、EOR回路１１４から出力されるHレベルを受けて、ラフロックオン信号RLONをＨレベルにする。

【０１２９】以上でラフ初期調整が完了し、この後、ファイン初期調整が行われる。

（ｃ）ファイン初期調整（図２８，２９）

まず、ステップＳ１２において、ラフシフト順番信号RSOのレベルにより制御が分かれる。ラフシフト順番信号RSOがＨレベル、すなわち、偶数段目の補間回路３９を制御する場合、制御はステップＳ１３に移行する。ラフシフト順番信号RSOがＬレベル、すなわち、奇数段目の補間回路３９を制御する場合、制御はステップＳ２２に移行する。

【０１３０】ステップＳ１３において、図９に示した位相比較回路９０は、内部クロック信号DICLKと参照クロック信号REFCLKとの位相を比較する。内部クロック信号DICLKの位相が参照クロック信号REFCLKの位相より遅れている場合、内部クロック信号DICLKの位相を進めるため、制御はステップＳ１４に移行する。内部クロック信号DICLKの位相が参照クロック信号REFCLKの位相より進んでいる場合、内部クロック信号DICLKの位相を遅らせるため、制御はステップＳ１５に移行する。

【０１３１】ステップＳ１４において、２進カウンタの上位２ビットCNT3，CNT2の値が“－１”され、カウント値が１０進数の“４”にされる。ステップＳ１５において、２進カウンタの上位２ビットCNT3，CNT2の値が“＋１”され、カウント値が１０進数の“１２”にされる。同様にして、ステップＳ１６-Ｓ１８、ステップＳ１９-Ｓ２１において、位相の比較結果に応じて２進カウンタの次の上位２ビットの値が“－１”または“＋１”される。

【０１３２】一方、ステップＳ２２において、図９に示した位相比較回路９０は、内部クロック信号DICLKと参照クロック信号REFCLKとの位相を比較する。内部クロック信号DICLKの位相が参照クロック信号REFCLKの位相より遅れている場合、内部クロック信号DICLKの位相を進めるため、制御はステップＳ２３に移行する。内部クロック信号DICLKの位相が参照クロック信号REFCLKの位相より進んでいる場合、内部クロック信号DICLKの位相を遅らせるため、制御はステップＳ２４に移行する。

【０１３３】ステップＳ２３において、２進カウンタの上位２ビットCNT3，CNT2の値が“＋１”され、カウント値は１０進数の“１２”になる。ステップＳ２４において、２進カウンタの上位２ビットCNT3，CNT2の値が“－１”され、カウント値は１０進数の“４”になる。同様にして、ステップＳ２５-Ｓ２７、ステップＳ２８-Ｓ３０において、位相の比較結果に応じて２進カウンタの次の上位２ビットの値が“＋１”または“－１”される。

【０１３４】図３７（ａ）は、偶数段目の補間回路３９におけるファイン初期調整の概要を示している。２進カウンタ１３６のカウント値は、位相比較回路９０での比較結果に応じて、上位ビットから順次確定していく。そして、カウンタ値に応じて内部クロック信号CLKIの位相は変化する。図３７（ｂ）は、奇数段目の補間回路３９におけるファイン初期調整の概要を示している。２進カウンタ１３６のカウント値は、図３７（ａ）と同様に、位相比較回路９０での比較結果に応じて、上位ビットから順次確定していく。そして、カウンタ値に応じて内部クロック信号CLKIの位相は変化する。

【０１３５】このように、内部クロック信号CLKIの位相をとびとびに変化させるため、ファイン初期調整での位相比較回数が最小限になる。また、ラフ初期調整後に直ちにファイン調整を行う場合に比べ、位相調整が早く行われる。ステップＳ２０、Ｓ２１またはステップＳ２９、Ｓ３０を実行した後、制御は、ラフ／ファイン調整に移行する。

【０１３６】（ｄ）ラフ／ファイン調整（図３０，３１）

まず、ステップＳ３２において、ラフシフト順番信号RSOのレベルが比較される。ラフシフト順番信号RSOがＨレベルの場合、すなわち、偶数段目の補間回路３９を制御する場合、制御はステップＳ３３に移行する。ラフシフト順番信号RSOがＬレベル、すなわち、奇数段目の補間回路３９を制御する場合、制御はステップＳ４４に移行する。

【０１３７】ステップＳ３３において、図９に示した位相比較回路９０は、内部クロック信号DICLKと参照クロック信号REFCLKとの位相を比較する。内部クロック信号DICLKの位相が参照クロック信号REFCLKの位相より遅れている場合、内部クロック信号DICLKの位相を進めるた

め、制御はステップＳ３４に移行する。内部クロック信号DICLKの位相が参照クロック信号REFCLKの位相より進んでいる場合、内部クロック信号DICLKの位相を遅らせるため、制御はステップＳ３５に移行する。

【０１３８】ステップＳ３４において、図１５に示したラフ／ファイン制御部４８は、最小信号MINのレベルをモニタする。ラフ／ファイン制御部４８は、最小信号MINがＬレベルのときに、内部クロック信号DICLKの位相を進めても２進カウンタ１３６の繰り下がりが起こらないと判断する。そして、ラフ／ファイン制御部４８は、図１６の制御状態図（Ａ）に示したように、ファインイネーブル信号FENを活性化し、制御をステップＳ３６に移行する。ラフ／ファイン制御部４８は、最小信号MINがＨレベルのときに、内部クロック信号DICLKの位相を進めると２進カウンタ１３６の繰り下がりが起こると判断する。そして、ラフ／ファイン制御部４８は、図１６の制御状態図（Ｄ）に示したように、ラフイネーブル信号RENを活性化し、制御をステップＳ３７に移行する。

【０１３９】ステップＳ３６において、図２４に示したファインコントロール１３４は、ファインイネーブル信号FENを受けて、図２５の制御状態図（Ａ）に示したように、カウントダウン信号DOWNを活性化する。２進カウンタ１３６は、カウントダウン信号DOWNを受けて、カウンタ値を“－１”し、カウンタ信号CNT3-CNT0として出力する。制御電圧V1、V2を受けている補間回路３９は、カウンタ信号CNT3-CNT0に応じて内部クロック信号CLKIの位相を進める。

【０１４０】ラフ／ファイン調整では、４ビットのカウンタ値を１つずつずらしていくことで、温度変動等による位相のずれに対して、位相調整が精度よく行われる。

ステップＳ３７において、図１８に示したラフコントロール１１８は、ラフイネーブル信号RENを受けて、図１９の制御状態図（Ｄ）に示したように、進み信号FWを活性化し、制御信号A、Bおよびシフト通知信号SINFを活性化する（図２０(c)(d)(g)）。

【０１４１】図７に示したシフトレジスタ６３は、制御信号A、Bを受けて、制御電圧V1、V2の供給先を１つ後段側（奇数段目）の補間回路３９に切り替える制御をする。同時に、シフトレジスタ６３は、１つ前段側（奇数段目）の補間回路３９を非活性化し、遅延回路５５で消費される電力を低減する。ここで、補間回路３９の切り替えは、２進カウンタ１３６のカウント値が最小値（ゼロ）のときに行われる。このため、図３６（ａ）に示したように、補間回路３９の切り替えにより内部クロック信号CLKIの位相は変化することはない。すなわち、補間回路３９の切り替えにより内部クロック信号CLKIにジッタが発生することはない。

【０１４２】ステップＳ３８において、図２１に示したラフシフトラッチ１２０は、シフト通知信号SINFを受けてラフシフト順番信号RSOのレベルを反転する。ステップＳ３９において、図２４に示したファインコントロール１３４は、カウントアップ信号UPを活性化する。２進カウンタ１３６は、カウントアップ信号UPを受けて、カウンタ値を１つ増やす。

【０１４３】ラフ／ファイン調整では、遅延段の切り替えが行われても、内部クロック信号CLKIの位相調整単位は、２進カウンタ１３６の１単位である。このため、ノイズの発生により、位相の比較結果が瞬間的に大きくずれた場合にも、内部クロック信号CLKIの位相がそれに追従して変化することはない。すなわち、ノイズの影響を受けにくい。

【０１４４】一方、ステップＳ３５において、図１５に示したラフ／ファイン制御部４８は、最大信号MAXのレベルをモニタする。ラフ／ファイン制御部４８は、最大信号MAXがＬレベルのときに、内部クロック信号DICLKの位相を遅らせても２進カウンタ１３６の繰り上がりが起こらないと判断する。そして、ラフ／ファイン制御部４８は、図１６の制御状態図（Ａ）に示したように、ファインイネーブル信号FENを活性化し、制御をステップＳ４０に移行する。ラフ／ファイン制御部４８は、最大信号MAXがＨレベルのときに、内部クロック信号DICLKの位相を遅らせると２進カウンタ１３６の繰り上がりが起こると判断する。そして、ラフ／ファイン制御部４８は、図１６の制御状態図（Ｃ）に示したように、ラフイネーブル信号RENを活性化し、制御をステップＳ４１に移行する。

【０１４５】ステップＳ４０において、図２４に示したファインコントロール１３４は、ファインイネーブル信号FENを受けて、図２５の制御状態図（Ｂ）に示したように、カウントアップ信号UPを活性化する。２進カウンタ１３６は、カウントアップ信号UPを受けて、カウンタ値を“＋１”し、カウンタ信号CNT3-CNT0として出力する。制御電圧V1、V2を受けている補間回路３９は、カウンタ信号CNT3-CNT0に応じて内部クロック信号CLKIの位相を遅らせる。

【０１４６】ステップＳ４１において、図１８に示したラフコントロール１１８は、ラフイネーブル信号RENを受けて、図１９の制御状態図（Ｃ）に示したように、遅れ信号BWを活性化し、制御信号C、Dおよびシフト通知信号SINFを活性化する（図２０(e)(f)）。図７に示した第１シフトレジスタ６３は、制御信号C、Dを受けて、制御電圧V1、V2の供給先を１つ前段側（奇数段目）の補間回路３９に切り替える制御をする。同時に、シフトレジスタ６３は、さらに１つ前段側（偶数段目）の補間回路３９を活性化する。

【０１４７】ここで、補間回路３９の切り替えは、２進カウンタ１３６のカウント値が最大値（１０進数の“１５”）のときに行われる。このため、図３６（ａ）に示したように、遅延段の切り替えにより内部クロック信号CLKIの位相は変化することはない。すなわち、ステップ

Ｓ３７と同様、遅延段の切り替えにより内部クロック信号CLKIにジッタが発生することはない。

【０１４８】ステップＳ４２では、上述したステップＳ３８と同じ制御が行われ、ラフシフト順番信号RSOのレベルが反転される。ステップＳ４３において、図24に示したファインコントロール１３４は、カウントダウン信号DOWNを活性化する。２進カウンタ１３６は、カウントダウン信号DOWNを受けて、カウンタ値を１つ減らす。

【０１４９】ステップＳ３６、Ｓ３９、Ｓ４０、Ｓ４３を実行した後、制御は再びステップＳ３２へ移行する。一方、ステップＳ４４-Ｓ５４では、内部クロック信号DICLKの位相を進める制御と、遅らせる制御は、上述したステップＳ３３-Ｓ４３とは逆に行われる。まず、ステップＳ４４において、図９に示した位相比較回路９０は、内部クロック信号DICLKと参照クロック信号REFCLKとの位相を比較する。内部クロック信号DICLKの位相が参照クロック信号REFCLKの位相より進んでいる場合、内部クロック信号DICLKの位相を進めるため、制御はステップＳ４５に移行する。内部クロック信号DICLKの位相が参照クロック信号REFCLKの位相より遅れている場合、内部クロック信号DICLKの位相を遅らせるため、制御はステップＳ４６に移行する。

【０１５０】ステップＳ４５において、図１５に示したラフ／ファイン制御部４８は、最大信号MAXのレベルをモニタする。ラフ／ファイン制御部４８は、最大信号MAXがＬレベルのときに、内部クロック信号DICLKの位相を進めても２進カウンタ１３６の繰り上がりが起こらないと判断する。そして、ラフ／ファイン制御部４８は、図１６の制御状態図（Ｆ）に示したように、ファインイネーブル信号FENを活性化し、制御をステップＳ４７に移行する。ラフ／ファイン制御部４８は、最大信号MAXがＨレベルのときに、内部クロック信号DICLKの位相を遅らせると２進カウンタ１３６の繰り上がりが起こると判断する。そして、ラフ／ファイン制御部４８は、図１６の制御状態図（Ｇ）に示したように、ラフイネーブル信号RENを活性化し、制御をステップＳ４８に移行する。

【０１５１】ステップＳ４７では、上述したステップＳ４０と同じ制御が行われ、２進カウンタ１３６のカウント値が“＋１”される。ステップＳ４８において、図１８に示したラフコントロール１１８は、ラフイネーブル信号RENを受けて、図１９の制御状態図（Ｇ）に示したように、進み信号FWを活性化し、制御信号A、Bおよびシフト通知信号SINFを活性化する（図２０(c)(d)(g)）。

【０１５２】図７に示したシフトレジスタ６３は、制御信号A、Bを受けて、制御電圧V1、V2の供給先を１つ後段側（奇数段目）の補間回路３９に切り替える制御をする。同時に、シフトレジスタ６３は、１つ前段側（奇数段目）の補間回路３９を非活性化する。ステップＳ４９では、上述したステップＳ３８と同じ制御が行われ、ラフシフト順番信号RSOのレベルが反転される。

【０１５３】ステップＳ５０では、上述したステップＳ４３と同じ制御が行われ、２進カウンタ１３６のカウント値が“－１”される。一方、ステップＳ４６において、図１５に示したラフ／ファイン制御部４８は、最小信号MINのレベルをモニタする。ラフ／ファイン制御部４８は、最小信号MINがＬレベルのときに、内部クロック信号DICLKの位相を遅らせても２進カウンタ１３６の繰り下がりが起こらないと判断する。そして、ラフ／ファイン制御部４８は、図１６の制御状態図（Ｆ）に示したように、ファインイネーブル信号FENを活性化し、制御をステップＳ５１に移行する。ラフ／ファイン制御部４８は、最小信号MINがＨレベルのときに、内部クロック信号DICLKの位相を遅らせると２進カウンタ１３６の繰り下がりが起こると判断する。そして、ラフ／ファイン制御部４８は、図１６の制御状態図（Ｊ）に示したように、ラフイネーブル信号RENを活性化し、制御をステップＳ５２に移行する。

【０１５４】ステップＳ５１では、上述したステップＳ３６と同じ制御が行われ、２進カウンタ１３６のカウント値が“－１”される。ステップＳ５２において、図１８に示したラフコントロール１１８は、ラフイネーブル信号RENを受けて、図１９の制御状態図（Ｊ）に示したように、遅れ信号BWを活性化し、制御信号C、Dおよびシフト通知信号SINFを活性化する（図２０(e)(f)）。

【０１５５】図７に示した第２シフトレジスタ６４は、制御信号C、Dを受けて、制御電圧V1、V2の供給先を１つ前段側（奇数段目）の補間回路３９に切り替える制御をする。同時に、シフトレジスタ６３は、さらに１つ前段側（偶数段目）の補間回路３９を活性化する。ステップＳ５３では、上述したステップＳ３８と同じ制御が行われ、ラフシフト順番信号RSOのレベルが反転される。

【０１５６】ステップＳ５４では、上述したステップＳ３９と同じ制御が行われ、２進カウンタ１３６のカウント値が“＋１”される。ステップＳ４７、Ｓ５０、Ｓ５１、Ｓ５４を実行した後、制御はステップＳ５５へ移行する。

【０１５７】ステップＳ５５において、ラフシフト順番信号RSOのレベルが比較される。ラフシフト順番信号RSOがＬレベルの場合、制御は再びステップＳ４４に移行する。ラフシフト順番信号RSOがＨレベルの場合、制御はステップＳ３３に移行する。上述したように、ステップＳ３２-ステップＳ５５が繰り返して実行され、ラフ／ファイン調整が行われる。そして、内部クロック信号CLKIの位相がクロック信号CLKの位相に合わせられる。

【０１５８】以上のように構成された半導体集積回路では、位相調整をラフ初期調整、ファイン初期調整（粗調整）とラフ／ファイン調整（微調整）との３段階に分けて行ったので、内部クロック信号DICLKと参照クロック信号REFCLKとの位相を少ない位相比較回数で早く一致させることができる。位相調整を、粗調整では複数の補間

回路を切り替え、微調整では１つの補間回路を制御する２段階で行ったので、位相の調整が早くできる。

【０１５９】補間回路３９を、遅延回路または補間回路として兼用したので、遅延回路５４のレイアウトサイズを小さくできる。また、補間回路３９を使用して位相を微調整したので、微調整の最小単位を補間回路３９の精度に合わせて小さくできる。すなわち、高い周波数のクロック信号CLK、/CLKが供給される半導体集積回路においても確実に位相を調整できる。

【０１６０】使用していない補間回路３９は非活性化されるため、消費電力を低減できる。さらに、補間回路３９に独立した電源線を接続することで、補間回路３９の動作が、他の回路の影響を受けて不安定になることを防止できる。また、上記独立した電源線を、外部から供給される電源電圧を降圧した内部電源に接続することによって、さらに、外部電源のゆらぎに対して補間回路３９を安定して動作させることができ、補間回路３９の消費電力を小さくすることができる。

【０１６１】開始信号STTを内部クロック信号CLK-Kの立ち下がりに同期して活性化した。このため、位相比較の開始時に、遅延クロック生成部３７、位相比較部４６等の動作を互いに同期して開始することができ、常に所定の状態から位相比較を開始できる。また、内部クロック信号CLK-K等のＨレベル期間が開始信号STTによりマスクされハザードとなることを防止することができ、位相比較の開始時の誤動作を防止できる。

【０１６２】第１、第２分周回路８２、８４を使用して４分の１分周した内部クロック信号DICLK、参照クロック信号REFCLKを位相比較した。このため、高い周波数のクロック信号CLK、/CLKが供給される場合にも、位相比較回路９０を確実に動作させることができる。また、位相比較の頻度が少なくなるため、消費電力を低減できる。さらに、図２８のステップＳ２０、Ｓ２１の終了後、またはラフロックオン信号RLONがＨレベルになってから所定のクロック数後に、位相比較の頻度をさらに下げることで、より消費電力を低減できる。

【０１６３】位相比較の開始時に、第１分周回路８２および第２分周回路８４を開始信号STTに同期して動作させ、所定のクロック数後に分周した内部クロック信号および参照クロック信号REFCLKを出力した。このため、クロック信号CLK、/CLKの周波数が特定の範囲の場合において、位相比較の開始時に、位相比較回路９０に供給される内部クロック信号および参照クロック信号REFCLKの位相のずれの最大値を小さくできる。この結果、粗調整における位相比較の回数を低減できる。一般に、半導体集積回路は、製品によって動作周波数の範囲が決まっているため、本発明の適用により十分な効果が得られる。

【０１６４】ラフ初期調整の完了の判断を、簡易なラッチ回路（シフト方向保持回路１１２）で行ったので、回路規模を低減できる。ラフ初期調整において、２進カウンタ１３６のカウンタ値を中央の値に設定したので、内部クロック信号CLKIの位相を、遅延段の切り替え時に均等に変化させることができる。このため、ラフ初期調整後のファイン初期調整において、補間回路３９による位相調整の範囲が所定内にされ、位相比較回数を最小限にできる。

【０１６５】ファイン初期調整において、内部クロック信号CLKIの位相をとびとびに変化させたので、ファイン初期調整での位相比較回数が最小限にできる。また、ラフ初期調整後に直ちにファイン調整を行う場合に比べ、位相調整を早く行うことができる。ラフ／ファイン調整において、カウンタ値の増加時に、内部クロック信号CLKIの位相を、常に入力端子IN1に供給される信号の位相から、入力端子IN2に供給される信号の位相に向けて変化させた。また、カウンタ値の減少時に、内部クロック信号CLKIの位相を、常に入力端子IN2に供給される信号の位相から、入力端子IN1に供給される信号の位相に向けて変化させた。このため、カウンタ値が最大または最小になった場合にもカウンタ値をリセットまたはセットする必要はなく、補間回路３９の切り替えを行うだけでよい。このため、図３６（ａ）に示したように、遅延段の切り替えにより内部クロック信号CLKIの位相が変化することはない。この結果、遅延段の切り替えにより内部クロック信号にジッタが発生することを防止できる。

【０１６６】ラフ／ファイン調整において、４ビットのカウンタ値を１つずつずらしていく制御を行った。このため、ノイズの発生により、位相の比較結果が瞬間的に大きくずれた場合にも、内部クロック信号CLKIの位相がそれに追従して変化することを防止できる。すなわち、ノイズの影響は受けにくい。また、温度変動、電圧変動等による位相のずれに対して、位相調整を精度よく行うことができる。

【０１６７】次に、本発明の半導体集積回路の第２の実施形態について説明する。この実施形態は、請求項１ないし請求項３に対応している。なお、第１の実施形態で説明した回路と同一の回路については、同一の符号を付し、これ等の回路については、詳細な説明を省略する。

【０１６８】図３８は、DDR-SDRAMに搭載されたクロック制御部１４０を示している。この実施形態のクロック制御部１４０は、第１の実施形態に比べ位相比較部１４１、ラフ／ファイン制御部１４２、およびラフ制御部１４４が相違している。位相比較部１４１は、内部クロック信号CLKI、CLK-Kおよび開始信号STTを受け、ファイン比較結果信号FCOMP、ラフ位相比較信号RCOMP、およびタイミング信号TIMを出力している。ラフ／ファイン制御部１４２は、ラフ比較結果信号COMP、タイミング信号TIM、最大信号MAX、最小信号MIN、ラフシフト順番信号RSO、および開始信号STTを受け、ラフイネーブル信号REN、ファインイネーブル信号FEN、およびラフロックオン信号RLONを出力している。ラフ制御部１４４は、ラフイ

ネーブル信号REN、ラフロックオン信号RLON、最大信号MAX、最小信号MIN、および開始信号STTを受け、ラフシフト順番信号RSO、および制御信号A-Dを出力している。

【０１６９】図３９は、位相比較部１４１の詳細を示している。位相比較部１４１は、第１の実施形態と同一の第１分周回路８２、第２分周回路８４、ダミー出力バッファ８６、およびダミー入力バッファ８８と、ファイン位相比較回路１４８、ラフ位相比較回路１５０を備えている。ファイン位相比較回路１４８は、参照クロック信号REFCLKおよび内部クロック信号DICLKの位相を比較し、ファイン比較結果信号FCOMPを出力する回路である。ラフ位相比較回路１５０は、参照クロック信号REFCLKおよび内部クロック信号DICLKの位相を比較し、ラフ比較結果信号RCOMPおよびタイミング信号TIMを出力する回路である。

【０１７０】図４０は、ファイン位相比較回路１４８の詳細を示している。ファイン位相比較回路１４８は、第１の実施形態の位相比較回路９０からタイミング生成回路１０８を除いた回路である。ファイン位相比較回路１４８は、パルス発生回路１０２のNORゲート１０２ｃの出力からサンプリング信号SMPLを出力し、フリップフロップ１０６のNANDゲート１０６ｂの出力からファイン比較結果信号FCOMPを出力している。

【０１７１】図４１は、ラフ位相比較回路１５０の詳細を示している。ラフ位相比較回路１５０は、２つの２入力のNANDゲートからなるフリップフロップ回路１５０ａ、１５０ｂ、１５０ｃ、１５０ｄと、２入力のAND回路１５０ｅと、フリップフロップ回路１５０ｃ、１５０ｄの入力にそれぞれ接続された２入力のNANDゲート１５０ｆ、１５０ｇ、１５０ｈ、１５０ｉと、タイミング生成回路１５０ｊとで構成されている。タイミング生成回路１５０ｊは、第１の実施形態のタイミング生成回路１０８の遅延回路１０８ａをCR時定数回路１５０ｋに置き換えた回路である。CR時定数回路１５０ｋは、図４に示した補間回路３９の遅延時間Delayと同一またはわずかに大きい遅延時間を有している。タイミング生成回路１５０ｊは、CR時定数回路１５０ｋで遅延させた内部クロック信号DICLKと参照クロック信号REFCLKとをNANDゲート１０８ｂで受け、タイミング信号TIMを出力している。

【０１７２】フリップフロップ回路１５０ａの入力には、参照クロック信号REFCLKおよび内部クロック信号DICLKが供給されている。フリップフロップ回路１５０ａの出力ノードN21、N22は、それぞれNANDゲート１５０ｆ、１５０ｇの一方の入力に接続されている。フリップフロップ回路１５０ｂの入力には、参照クロック信号REFCLKおよびタイミング生成回路１５０ｊのCR時定数回路１５０ｋで遅延させた内部クロック信号DICLKが供給されている。フリップフロップ回路１５０ｂの出力ノードN23、N24は、それぞれがNANDゲート１５０ｈ、１５０ｉの一方の入力に接続されている。

【０１７３】NANDゲート１５０ｆ-１５０ｉの他方の入力には、サンプリング信号SMPLが供給されている。フリップフロップ回路１５０ｃ、１５０ｄは、それぞれ比較結果信号CP5、CP6および比較結果信号CP7、CP8を出力している。AND回路１５０ｅは、比較結果信号CP5、CP8を受け、ラフロックオン信号RLONを出力している。図４２は、ラフ位相比較回路１５０の動作タイミングを示している。

【０１７４】内部クロック信号DICLKの位相が参照クロック信号REFCLKの位相より進んでいる場合、図４１に示したフリップフロップ回路１５０ａ、１５０ｂは、ともに内部クロック信号DICLKに同期して動作する。このため、ノードN21、N23、ノードN22、N24には、ほぼ同じ信号が出力される（図４２(a)）。ここで、フリップフロップ回路１５０ｂの入力には、CR時定数回路１５０ｋを介して内部クロック信号DICLKが供給されているため、その信号波形はわずかに異なっている。フリップフロップ回路１５０ｃ、１５０ｄは、サンプリング信号SMPLに同期してノードN21-N24の信号を取り込み、それぞれ比較結果信号CP5-CP8として出力する（図４２(b)）。

【０１７５】内部クロック信号DICLKの位相と、参照クロック信号REFCLKの位相との差が、CR時定数回路１５０ｋの遅延時間より小さい場合、フリップフロップ回路１５０ａは、内部クロック信号DICLKに同期して動作し、フリップフロップ回路１５０ｂは、参照クロック信号REFCLKに同期して動作する。このため、ノードN21、N23、ノードN22、N24には、互いに逆相の信号が出力される（図４２(c)）。フリップフロップ回路１５０ｃ、１５０ｄは、サンプリング信号SMPLに同期してノードN21-N24の信号を取り込み、それぞれ比較結果信号CP5-CP8として出力する（図４２(d)）。

【０１７６】内部クロック信号DICLKの位相が参照クロック信号REFCLKの位相より遅れている場合、フリップフロップ回路１５０ａ、１５０ｂは、ともに参照クロック信号REFCLKに同期して動作する。このため、ノードN21、N23、ノードN22、N24には、ほぼ同じ信号が出力される（図４２(e)）。フリップフロップ回路１５０ｃ、１５０ｄは、サンプリング信号SMPLに同期してノードN21-N24の信号を取り込み、それぞれ比較結果信号CP5-CP8として出力する（図４２(f)）。

【０１７７】また、ラフ位相比較回路１５０は、位相の差がCR時定数回路１５０ｋの遅延時間より小さくなり、比較結果信号CP5、CP8がともにＨレベルになったときに、後述するラフ初期調整での位相が一致したと判断する。そして、ラフロックオン信号RLONを活性化する（図４２(g)）。このように、ラフ初期調整時における位相一致の判断を、独立したラフ位相比較回路１５０で行っているため、第１の実施形態と異なり、内部クロック信号ACLK、（または/BCLK）のシフト方向を反転させる必

要がなくなる。この結果、ラフ初期調整を高速に行うことが可能になる。

【０１７８】図４３は、ラフ／ファイン制御部１４２の詳細を示している。ラフ／ファイン制御部１４２は、第１の実施形態のラフ／ファイン制御部４８の組み合わせ回路１１０と同一の回路である。図４４は、ラフ制御部１４４の詳細を示している。ラフ制御部１４４は、ラフコントロール１５２と、ラフシフトラッチ１２０とで構成されている。ラフシフトラッチ１２０は、第１の実施形態を同一の回路である。また、この実施形態では、第１の実施形態のシフト方向ラッチ１２２は搭載されていない。

【０１７９】図４５は、ラフコントロール１５２の詳細を示している。ラフコントロール１５２は、組み合わせ回路１５４と、分周回路１２８と、制御回路１３０と、OR回路１３２とで構成されている。分周回路１２８、制御回路１３０、およびOR回路１３２は、第１の実施形態と同一の回路である。組み合わせ回路１５４は、図１８に示した第１の実施形態の組み合わせ回路１２６と以下の点で相違している。すなわち、組み合わせ回路１２６では、進み信号FW、遅れ信号BWを出力するNANDゲートの前段の３入力NANDゲートおよび２入力NANDゲートには、比較結果信号COMPの論理が供給されている。組み合わせ回路１５４では、３入力NANDゲートには、ファイン比較結果信号FCOMPの論理が供給され、２入力NANDゲートには、それぞれAND回路を介して比較結果信号CP5、CP7、および比較結果信号CP6、CP8が供給されている。

【０１８０】図４６は、組み合わせ回路１５４の動作の制御状態図を示している。例えば、組み合わせ回路１５４は、ラフロックオン信号RLONがＬレベル、比較結果信号CP5、CP7がＨレベルのときに、遅れ信号BWを活性化し、ラフロックオン信号RLONがＬレベル、比較結果信号CP6、CP8がＨレベルのときに、進み信号FWを活性化する。組み合わせ回路１５４は、ラフロックオン信号RLON、ラフシフト順番信号RSO、最大信号MAX、ファイン比較結果信号FCOMPがともにＨレベルのときに、遅れ信号BWを活性化する。組み合わせ回路１５４は、ラフロックオン信号RLON、ラフシフト順番信号RSOがＨレベル、最大信号MAX、最小信号がＬレベルのときには、進み信号FW、遅れ信号BWとも非活性化する。

【０１８１】上述した半導体集積回路では、以下示すように、内部クロック信号CLKIの位相調整が行われる。図４７は、上述した各回路が行う位相調整を制御を示すフローチャートである。位相調整の制御は、リセット信号/RESETの解除により開始され、初期設定、ラフ初期調整、ファイン初期調整、ラフ／ファイン調整が順次行われる。

【０１８２】初期設定、ファイン初期調整、ラフ／ファイン調整の制御フローは、第１の実施形態と同一であるため、説明を省略する。ラフ初期調整では、ステップＳ６１において、図３９に示したラフ位相比較回路１５０は、参照クロック信号REFCLKと内部クロック信号DICLKとの位相を比較する。内部クロック信号DICLKの位相が参照クロック信号REFCLKの位相より進んでいる場合には、ラフ比較結果信号FCOMPはＨレベルにされる。ラフ比較結果信号FCOMPのＨレベルにより、この後、内部クロック信号DICLKを遅らせる制御が行われる。内部クロック信号DICLKの位相が参照クロック信号REFCLKの位相より遅れている場合には、ラフ比較結果信号FCOMPはＬレベルにされる。ラフ比較結果信号FCOMPのＬレベルにより、この後、内部クロック信号DICLKを進める制御が行われる。また、内部クロック信号DICLKの位相が参照クロック信号REFCLKの位相と一致した場合には、ラフロックオン信号RLONはＨレベルにされる。

【０１８３】ステップＳ６２において、ラフロックオン信号RLONがＨレベルの場合、制御はファイン調整に移行する。ラフロックオン信号RLONがＬレベルの場合、制御はステップＳ６３に移行する。ステップＳ６３において、図４５に示したラフコントロール１５２は、遅延段を切り替える制御を行う。遅延段の制御は、図４６に示した制御状態図にしたがってしたがって行われる。

【０１８４】ステップＳ６４のラフシフト順番信号RSOの反転、およびステップＳ６５のシフト方向のラッチは、第１の実施形態のステップＳ７、Ｓ８と同一の制御が行われる。この後、制御は、再びステップＳ６１に移行する。そして、ラフ初期調整の後、ファイン初期調整、ラフ／ファイン調整が行われ、内部クロック信号CLKIの位相がクロック信号CLKの位相に合わせられる。

【０１８５】この実施形態の半導体集積回路においても、上述した第１の実施形態と同様の効果を得ることができる。さらに、この実施形態では、位相比較回路１４６をファイン位相比較回路１４８とラフ位相比較回路１５０とで構成し、ラフ初期調整における位相一致の判断と、ファイン初期調整における位相一致の判断とを、別の制御回路で行った。このため、ラフ初期調整を効率よく高速に行うことができる。

【０１８６】次に、本発明の半導体集積回路の第３の実施形態について説明する。この実施形態は、請求項１ないし請求項３に対応している。なお、第１の実施形態で説明した回路と同一の回路については、同一の符号を付し、これ等の回路については、詳細な説明を省略する。この実施形態では、第１の実施形態に比べ、第１分周回路１５６のみが相違し、その他の構成は同一である。また、この実施形態は、第１の実施形態に比べて低い周波数で動作する半導体集積回路に適用することで、顕著な効果が得られる。

【０１８７】図４８は、第１分周回路１５６を示している。第１分周回路１５６は、第１の実施形態と同一の２つの分周器９２を備えている。前段の分周器９２には、入力端子INに内部クロック信号CLK-Kが供給され、制御

端子STT1に開始信号STTが供給され、制御端子STT2に電源線VDDが接続されている。後段の分周器９２の入力端子IN、制御端子STT1、STT2には、それぞれスイッチ１５６ａ、１５６ｂ、１５６ｃが接続されている。スイッチ１５６ａは、前段の分周器９２の出力端子OUT、/OUTの一方を入力端子INに接続する素子である。スイッチ１５６ｂは、電源線VDDのHレベル、または開始信号STTを制御端子STT1に供給する素子である。スイッチ１５６は、電源線VDDのHレベル、または開始信号STTを制御端子STT2に供給する素子である。各スイッチ１５６ａ、１５６ｂ、１５６ｃは、CMOSスイッチで形成されている。各スイッチ１５６ａ、１５６ｂ、１５６ｃの切り替えは、半導体集積回路の動作モードを設定するモードレジスタを所定の値にすることで行われる。

【０１８８】本実施形態では、後段の分周器９２の入力端子INには、前段の分周器９２の出力端子/OUTが接続され、後段の分周器９２の制御端子STT1および制御端子STT2には、開始信号STTおよび電源線VDDのHレベルが供給されている。図４９は、位相調整開始時の第１分周回路１５６および第２分周回路８４（図１０）の動作タイミングを示している。

【０１８９】この実施形態では、第１分周回路１５６から出力される参照クロックREFCLKは、内部クロック信号CLKIを受けた後、４クロックで出力が開始される。このため、位相調整開始時の内部クロック信号DICLKと参照クロックREFCLKとの位相差T6は、５クロックで参照クロックREFCLKを出力した場合の位相差T7に比べ小さくなる。したがって、動作周波数が低い場合に、参照クロックREFCLKの出力が開始されるまでのクロック数を少なくすることで、ラフ初期調整に必要な位相比較の回数を低減できる。また、位相調整開始時の内部クロック信号DICLKと参照クロックREFCLKとの位相差を小さくすることで（例えば、T7→T6）、図４に示した遅延回路５５内で活性化させる補間回路３９の数が少なくなり、消費電力を低減できる。

【０１９０】次に、本発明の半導体集積回路の第４の実施形態について説明する。この実施形態は、請求項４および請求項５に対応している。なお、第１の実施形態で説明した回路と同一の回路については、同一の符号を付し、これ等の回路については、詳細な説明を省略する。図５０は、DDR-SDRAMにおけるクロック制御部１７０を示している。

【０１９１】クロック制御部１７０は、開始信号発生器３２、クロックバッファ３４ａ、３４ｂ、遅延制御回路１７２、スイッチ回路１７４、第１セレクタ１７６、ダミー回路１７８、１８０、位相比較回路１８２、ラフ制御部１８４、ファイン制御部１８６、ラフカウンタ１８８、ファインカウンタ１９０、第２セレクタ１９２、およびD/Aコンバータ１９４を備えている。スイッチ回路１７４、第１セレクタ１７６、ラフ制御部１８４、ファイン制御部１８６、ラフカウンタ１８８、ファインカウンタ１９０、第２セレクタ１９２、およびD/Aコンバータ１９４は、図２に示した制御回路３１８に対応している。

【０１９２】遅延制御回路１７２は、内部クロック信号CLK-K、/CLK-K、スイッチ回路１７４からの制御信号および制御電圧V1、V2、VMIN、VMAXを受け、内部クロック信号CLK、/CLKを出力している。内部クロック信号CLK-K、/CLK-Kは、図２に示した基準クロック信号に対応している。ダミー回路１７８は、内部クロック信号CLK-Kを受け、このクロックCLK-Kを後述する合成回路２０４と同じだけ遅延させ、参照クロック信号REFCLKとして出力している。

【０１９３】ダミー回路１８０は、遅延制御回路１７２で生成された内部クロック信号CLKIを受け、内部クロック信号DICLKを出力している。ダミー回路１８０は、例えば、本発明を出力回路のタイミング調整に使用する場合、第１の実施形態（図９）のダミー出力バッファ８６およびダミー入力バッファ８８が使用される。位相比較回路１８２は、参照クロック信号REFCLKおよび内部クロック信号DICLKの位相を比較し、比較結果信号COMPを出力している。位相比較回路１８２は、第１の実施形態（図１４）の位相比較回路９０からタイミング生成回路１０８を除いて構成されている。

【０１９４】ラフ制御部１８４は、比較結果信号COMP、最大信号MAX、および最小信号MINを受け、カウントアップ信号RUP、カウントダウン信号RDOWN、およびラフロックオン信号RLONを出力している。ラフ制御部１８４は、後述するラフ調整時に比較結果信号COMPの基づいてカウントアップ信号RUP、カウントダウン信号RDOWNを出力し、比較結果が反転したときにラフロックオン信号RLONを活性化する機能を有している。

【０１９５】ファイン制御部１８８は、比較結果信号COMPおよびラフロックオン信号RLONを受け、カウントアップ信号FUP、カウントダウン信号FDOWN、最大信号MAX、および最小信号MINを出力している。ファイン制御部１８８は、ラフロックオン信号RLONの活性化時（ファイン調整時）に、比較結果信号COMPの基づいてカウントアップ信号FUP、カウントダウン信号FDOWNを出力する機能を有している。

【０１９６】ラフカウンタ１８８は、カウントアップ信号RUP、カウントダウン信号RDOWNを受け、２ビットカウンタとして動作し、カウンタ信号RQ1、/RQ1、RQ2、/RQ2を出力している。ファインカウンタ１９０は、カウントアップ信号FUP、カウントダウン信号FDOWNを受け、３ビットカウンタとして動作し、カウンタ信号FQ1、/FQ1、FQ2、/FQ2、FQ3、/FQ3を出力している。

【０１９７】第２セレクタ１９２は、カウンタ信号RQ1、/RQ1、RQ2、/RQ2、FQ1-FQ3、/FQ1-/FQ3を受け、カウンタ値に応じて選択信号SELA、SELB、/SELBを出力して

いる。D/Aコンバータ９１４は、カウンタ信号RQ1-RQ3、/RQ1-/RQ3を受け、このカウンタ値に応じて８通りの制御電圧V1、V2を出力している。なお、第１の実施形態と同様に、制御電圧V1は、カウンタ値にとともに増大し、制御電圧V2は、カウンタ値にとともに減少する。また、最大のカウンタ値のとき、制御電圧V1、V2は、それぞれ制御電圧VMAX、制御電圧VMINになり、最大のカウンタ値のとき、制御電圧V1、V2は、それぞれ制御電圧VMIN、制御電圧VMAXになる。

【０１９８】第１セレクタ１７６は、カウンタ信号RQ1、/RQ1、RQ2、/RQ2および選択信号SELAを受け、スイッチ回路１７４を制御する複数のスイッチ信号を出力している。スイッチ回路１７４は、第１セレクタ１７６からのスイッチ信号および制御電圧V1、V2、VMIN、VMAXを受け、複数の制御信号を出力している。

【０１９９】図５１は、遅延制御回路１７２の詳細を示している。遅延制御回路１７２は、６つの補間回路１９６を直列に接続した遅延回路１９８と、２つの補間回路２００を直列に接続した遅延回路２０２と、補間回路からなる合成回路２０４と、初期化回路２０６とで構成されている。遅延回路１９８、遅延回路２０２、および合成回路２０４は、それぞれ図２に示した主遅延回路３１０、副遅延回路３１２、および選択回路３１４に対応している。

【０２００】なお、遅延制御回路１７２は、第１の実施形態の遅延回路５５（図４）と同様に、図示しない負論理のクロック信号/CLK-Kを受けている。補間回路１９６、２００は、第１の実施形態の補間回路（図５）と同様に、図示しない入力端子/IN1、/IN2、出力端子/OUTおよびイネーブル端子ENを有している。ここでは、これ等の信号の表示は、説明を簡単にするために省略している。この実施形態では、補間回路１９６、２００は、互いに同一で、同一の特性を有している。

【０２０１】遅延回路１９８の補間回路１９６は、初段１９６-6を除き、入力端子IN1、IN2に内部クロック信号CLK-Kを交互に受けている。補間回路１９６-6は、入力端子IN1を接地線VSSに接続し、入力端子IN2で内部クロック信号CLK-Kを受けている。また、補間回路１９６-6は、制御端子α、βに制御電圧VMIN、制御電圧β6をそれぞれ受けている。補間回路１９６-1から補間回路１９６-6は、制御端子α、βに制御電圧α1-α5、β1-β5をそれぞれ受けている。補間回路１９６-1の出力端子OUTは、内部クロック信号CLK1Aを出力している。

【０２０２】遅延回路２０２の補間回路２００-2は、入力端子IN1を接地線VSSに接続し、入力端子IN2で内部クロック信号CLK-Kを受けている。また、補間回路２００-2は、制御端子α、βに制御電圧VMIN、制御電圧VMAXをそれぞれ受けている。補間回路２００-1は、入力端子IN1で補間回路２００-1の出力を受け、入力端子IN2で内部クロック信号CLK-Kを受けている。また、補間回路２００-1は、制御端子α、βに制御電圧V1、V2をそれぞれ受けている。補間回路２００-1の出力端子OUTは、内部クロック信号CLK1Aと同じ位相の内部クロック信号CLK1Bを出力している。

【０２０３】合成回路２０４は、選択信号SELB、/SELBを受けて内部クロック信号CLK1A、CLK1Bを合成し、内部クロック信号CLK1として出力している。合成回路２０４は、Ｈレベルの選択信号SELB（/SELB＝Ｌ）を受けたとき、内部クロック信号CLK1Bを内部クロック信号CLK1として出力し、Ｌレベルの選択信号SELB（/SELB＝H）を受けたとき、内部クロック信号CLK1Aを内部クロック信号CLK1として出力する。なお、合成回路２０４は、後述するように、選択信号SELB、/SELBの切り替え時に、同一の位相の内部クロック信号CLK1A、CLK1Bを受けている。このため、選択信号SELB、/SELBの切り替えの影響により、内部クロック信号CLK1にジッタが発生することはない。

【０２０４】初期化回路２０６は、開始信号STT、制御電圧VMIN、制御電圧VMAX、および内部クロック信号CLK1を受け、制御電圧V3を出力している。初期化回路２０６は、後述する初期調整時に活性化される。図５２は、初期化回路２０６の詳細を示している。初期化回路２０６は、５つの補間回路２０８を直列に接続した遅延回路２１０と、分周回路２１２、２１４と、位相比較回路２１６と、パルス生成回路２１８と、カウンタ２２０と、D/Aコンバータ２２２とを備えている。補間回路２０８は、図５１に示した補間回路１９６、２００と同一であり、同一の特性を有している。遅延回路２１０は、図２に示した調整遅延回路３２０に対応している。また、位相比較回路２１６、パルス生成回路２１８、カウンタ２２０、およびD/Aコンバータ２２２は、図２に示した調整回路３２２に対応している。

【０２０５】補間回路２０８-2から補間回路２０８-5は、入力端子IN2に内部クロック信号CLK1を受け、制御端子α、βで制御電圧VMIN、制御電圧VMAXをそれぞれ受けている。補間回路２０８-5は、入力端子IN1で内部クロック信号CLK1を受けている。補間回路２０８-1から補間回路２０８-4は、入力端子IN1に前段の出力信号を受けている。補間回路２０８-1は、入力端子IN2を接地線VSSに接続し、制御端子α、βに制御電圧VMIN、制御電圧VMAXをそれぞれ受けている。補間回路２０８-1は、内部クロック信号CLK12を出力している。補間回路２０８-2から補間回路２０８-5は、後述するように、受けたクロック信号の位相を９０°遅らせる回路である。補間回路２０８-1は、負荷として作用する。

【０２０６】分周回路２１２は、受けた内部クロック信号CLK1の周波数を４分の１分周して出力している。分周回路２１４は、受けた内部クロック信号CLK12の周波数を４分の１分周して出力している。分周回路２１２、２１４は、第１の実施形態の第１分周回路８２（図１０）

と同一である。ここで、分周回路２１２、２１４を削除して、内部クロック信号CLKI、CLKI2を毎回比較することも可能である。

【０２０７】位相比較回路２１６は、分周回路２１２、２１４から受けたクロック信号の位相を比較し、比較結果信号COMPIおよびタイミング信号TIMIを出力している。位相比較回路１８２は、第１の実施形態の位相比較回路９０（図１４）と同一に構成されている。パルス生成回路２１８は、位相比較回路２１６からのタイミング信号TIMIに同期してパルス信号PLSIを生成している。

【０２０８】カウンタ２２０は、パルス信号PLSIを受けて３ビットカウンタ（QI1、/QI1、QI2、/QI2、QI3）として動作する。カウンタ２２０は、比較結果信号COMPIがHレベルのときカウント値を増加し、比較結果信号COMPIがLレベルのときカウンド値を減少している。D/Aコンバータ２２２は、カウンタ２２０からのカウント値を受け、このカウンタ値に応じた８通りの制御電圧V3を出力している。制御電圧V3は、全ての補間回路１９６、２００、２０８に供給されている。

【０２０９】図５３は、補間回路１９６、２００、２０８の詳細を示している。補間回路１９６、２００、２０８は、第１の実施形態の補間回路３９（図５）の定電流源３９ａの代わりに、制御電圧V3により電流が制御されるpMOS３９ｅを有している。それ以外は、補間回路３９と同一の構成である。

【０２１０】図５４は、図５０に示したファインカウンタ１９０の詳細を示している。ファインカウンタ１９０は、セット機能（/PRES）およびリセット機能（/RES）を備えた３つのフリップフロップ回路１９０ａを直列に接続して構成されている。隣接する２つのフリップフロップ１９０の間には、カウンタ値の増加、減少を制御する制御回路１９０ｂが接続されている。制御回路１９０ｂは、カウントアップ信号FUPのHレベル時に出力Qの反転論理を次段のクロック端子CLKに伝え、カウンドダウン信号FDOWNのHレベル時に出力/Qの反転論理を次段に伝えている。初段のフリップフロップ回路１９０ａのクロック端子CLKは、カウンタクロック信号CCLKを受けている。カウンタクロック信号CCLKは、内部クロック信号CLK-Kを遅延させた信号である。なお、図５０に示した位相比較回路１８２が、分周した内部クロック信号DICLK、参照クロック信号REFCLKを比較する場合、カウンタクロック信号CCLKは分周した内部クロック信号CLK-Kに対応して生成される。

【０２１１】ファインカウンタ１９０は、開始信号STTの活性化時に各フリップフロップ回路１９０のセット端子/PRESおよびリセット端子/RESにHまたはLレベルを受け、所定のカウンタ値に初期化される。図５５は、ファインカウンタ１９０の動作を示している。まず、ファインカウンタ１９０は、カウンドアップ信号FUPのHレベル時に増加カウンタとして動作する。初段のフリップフロップ回路１９０ａは、カウンタクロック信号CCLKの立ち上がりエッジに同期してカウンタ信号FQ1、/FQ1のレベルを反転する（図５５(a)）。制御回路１９０ｂは、カウントアップ信号FUPのHレベルを受けて、カウンタ信号FQ1の反転信号RS1を次段のフリップフロップ回路１９０ａのクロック端子CLKに伝達する（図５５(b)）。次段のフリップフロップ回路１９０ａは、反転信号RS1の立ち上がりエッジに同期してカウンタ信号FQ2、/FQ2のレベルを反転する（図５５(c)）。そして、同様にしてカウンタ信号FQ3が生成される。

【０２１２】また、ファインカウンタ１９０は、カウントアップ信号FUPのHレベル時に減少カウンタとして動作する。このとき、各制御回路１９０ｂは、カウンタ信号/FQ1の反転信号RS1およびカウンタ信号/FQ2の反転信号RS2を次段のフリップフロップ回路１９０ａに伝達する（図５５(d)，(e)）。したがって、例えば、カウンタ信号FQ2は、カウンタ信号FQ1の立ち上がりに同期して変化し（図５５(f)）、カウンタ信号FQ3は、カウンタ信号FQ2の立ち上がりに同期して変化する（図５５(g)）。

【０２１３】図５６は、図５４に示したフリップフロップ回路１９０ａの詳細を示している。フリップフロップ回路１９０ａは、直列に接続された２つのフリップフロップ１９１ａ、１９１ｂを備えている。フリップフロップ１９１ａ、１９１ｂは、出力を互いに帰還させた２つのNANDゲートと、このNANDの入力をそれぞれ制御する２つのNANDゲートとで構成されている。

【０２１４】前段のフリップフロップ回路１９１ａの各入力は、クロック信号CLKとその反転信号とをそれぞれ受けている。後段のフリップフロップ１９１ｂの各入力は、クロック信号CLKを受けている。また、後段のフリップフロップ１９１ｂの出力側の各NANDゲートは、セット信号/PREとリセット信号/RESとをそれぞれ受けている。図５７は、フリップフロップ回路１９０ａの動作を示している。

【０２１５】まず、クロック信号CLKの立ち上がりに同期してノードNF2のHレベルがフリップフロップ１９１ｂに伝達され、ノードNF4がLレベルになる（図５７(a)）。フリップフロップ１９１ｂは、ノードNF4のLレベルにより出力/Q、Qをそれぞれ Hレベル、Lレベルにする（図５７(b)）。次に、クロック信号CLKの立ち下がりに同期して、ノードNF1がHレベルになり、ノードNF4がHレベルになる（図５７(c)，(d)）。ノードNF2は、ノードNF1のHレベルによりLレベルになる（図５７(e)）。

【０２１６】次に、クロック信号CLKの立ち上がりに同期してノードNF1のHレベルがフリップフロップ１９１ｂに伝達され、ノードNF3がLレベルになる（図５７(f)）。フリップフロップ１９１ｂは、ノードNF3のLレベルにより出力Q、/Qをそれぞれ Hレベル、Lレベルにする（図５７(g)）。次に、クロック信号CLKの立ち下が

りに同期して、ノードNF2がHレベルになり、ノードNF3がHレベルになる（図５７(h)、(i)）。ノードNF1は、ノードNF2のHレベルによりLレベルになる（図５７(j)）。同様にして上記動作が繰り返され、出力Q、/Qは、クロック信号CLKの立ち上がりに同期して、それぞれ交互にHレベル、Lレベルになる。

【０２１７】また、フリップフロップ１９１ｂは、セット信号/PREのLレベルを受けると、出力Q、/Qをそれぞれ Hレベル、Lレベルにする（図5.7(k)）。フリップフロップ１９１ｂは、リセット信号/RESのLレベルを受けると、出力Q、/Qをそれぞれ Lレベル、Hレベルにする（図５７(l)）。図５８は、図５０に示したD/Aコンバータ１９４を示している。

【０２１８】D/Aコンバータ１９４は、２つのD/Aコンバータ１９５で構成されている。制御電圧V1を生成するD/Aコンバータ１９５は、入力端子Q1、/Q1、Q2、/Q2、Q3でカウンタ信号FQ1、/FQ1、FQ2、/FQ2、FQ3をそれぞれ受けている。制御電圧V2を生成するD/Aコンバータ１９５は、入力端子Q1、/Q1、Q2、/Q2、Q3でカウンタ信号/FQ1、FQ1、/FQ2、FQ2、/FQ3をそれぞれ受けている。

【０２１９】図５９は、D/Aコンバータ１９５の詳細を示している。D/Aコンバータ１９５は、ソースが接地線に接続され、ドレインが定電流源１９５ａに接続された８つのnMOS１９５ｂと、nMOS１９５ｂのゲートG1-G4に出力ノードをそれぞれ接続した４つのORゲート１９５ｃと、nMOS１９５ｂのゲートG5-G8に出力ノードをそれぞれ接続した４つのANDゲート１９５ｄと、ORゲートおよびANDゲートを制御する４つのANDゲート１９５ｅと、3つのORゲート１９５ｆとで構成されている。

【０２２０】各ANDゲート１９５ｅは、カウンタ信号Q1、/Q1、Q2、/Q2のデコーダとして機能する。各ORゲート１９５ｆは、デコード信号と、その上位のデコード信号とのOR信号を出力している。図６０は、D/Aコンバータ１９５の動作を示している。D/Aコンバータ１９５は、カウンタ信号Q1、Q2、Q3の増加に伴い、順次nMOSのゲートG1-G8をオンする。このため、制御電圧Vは、カウンタ値に反比例して低くなる。

【０２２１】図６１は、D/Aコンバータ１９５が受けるカウンタ値、出力電圧と、補間回路の遅延時間との関係を示している。通常、D/Aコンバータでは、制御電圧VMAX、VMINは、それぞれ電源電圧VDD、接地電圧VSSに対して所定のオフセットを持っている。これは、カウンタ値に対するD/Aコンバータの出力電圧の変化量と、補間回路の遅延時間の変化量とをそれぞれ一定（線形）にするためである。しかし、本発明では、制御電圧VMINにオフセットを持たせた場合、カウンタ値が“0”の場合にも、補間回路が位相調整を行ってしまう可能性がある。具体的には、制御電圧VMINが、図５３に示した補間回路１９６；２００；２０８のnMOS３９ｃのしきい値を越えると、正しい位相調整ができなくなる。

【０２２２】このため、本実施形態では、D/Aコンバータ１９５は、カウンタ値が“0”のときに制御電圧VMINを強制的に接地電圧VSSにしている。図６２は、図５０に示した第２セレクタ１９２の詳細を示している。第２セレクタ１９２は、NORゲートおよびインバータを有し選択信号SELAを生成する組み合わせ回路１９２ａと、NANDゲートおよびインバータを有し選択信号SELB、/SELBをそれぞれ生成する組み合わせ回路１９２ｂ、１９２ｃと、選択信号SELB、/SELBの波形を緩やかにするCR時定数回路１９２ｄとで構成されている。CR時定数回路１９２ｄにより選択信号SELB、/SELBの波形を緩やかにすることで、図５１に示した合成回路２０４は、内部クロック信号CLKIA、CLKIBを徐々に切り替えることができる。

【０２２３】組み合わせ回路１９２ａは、図５０に示したラフカウンタ１８８のカウント値が“0”（RQ1=L、RQ2=L）、かつファインカウンタ１９０のカウント値が“4、5、6、7”のときに、選択信号SELAをHレベルにする回路である。組み合わせ回路１９２ｂは、ラフカウンタ１８８のカウンタ値が“0”（RQ1=L、RQ2=L）、かつファインカウンタ１９０のカウント値が“2、3、4、5”のときに、選択信号SELBをHレベルにする回路である。

【０２２４】組み合わせ回路１９２ｃは、ラフカウンタ１８８のカウンタ値が“0”（RQ1=L、RQ2=L）、かつファインカウンタ１９０のカウント値が“2、3、4、5”のときに、選択信号/SELBをLレベルにする回路である。ところで、後述するように、ラフカウンタ１８８のカウンタ値が“0”のとき、内部クロック信号CLKIの内部クロック信号CLK-Kに対する位相は、ファインカウンタ１９０のカウント値に対応して0-90°の範囲で１１°ずつ８通りにずらされる。

【０２２５】したがって、組み合わせ回路１９２ａの論理では、選択信号SELAは、内部クロック信号CLKIの位相が内部クロック信号CLK-Kの位相に対して４５-９０°ずれているときにHレベルになる。同様に、組み合わせ回路１９２ｂ、１９２ｃの論理では、選択信号SELB、/SELBは、内部クロック信号CLKIの位相が内部クロック信号CLK-Kの位相に対して２２.５-６７.５°ずれているときに、それぞれHレベル、Lレベルになる。

【０２２６】図６３は、図５０に示したスイッチ回路１７４、第１セレクタ１７６の詳細を示している。スイッチ回路１７４は、第１の実施形態のスイッチ回路５９（図４）と同様に動作する回路である。スイッチ回路１７４は、制御端子α1-α5、β1-β5から制御電圧VMIN、VMAX、V1、V2のいずれかを出力し、制御端子α6、β6から制御電圧VMIN、VMAXのいずれかを出力している。スイッチ回路１７４は、制御端子α1-α5、β1-β5にそれぞれ対応するスイッチ部６１（第１の実施形態の図６と同一）を有している。

【０２２７】第１セレクタ１７６は、ラフカウンタ１８

8からのカウンタ値RQ1、/RQ1、RQ2、/RQ2および選択信号SELAを受け、スイッチ回路１７４を制御する制御信号を出力している。第１セレクタ１７６は、カウンタ値RQ1、/RQ1、RQ2、/RQ2からデコード信号を生成するデコーダ１７６ａおよび複数のANDゲートとインバータとを有する組み合わせ回路を有している。

【０２２８】図６４は、スイッチ回路１７４および第１セレクタ１７６の動作の概要を示している。スイッチ回路１７４および第１セレクタ１７６は、遅延回路198における所定の補間回路（例えば196-3）の制御端子α、βに制御電圧V1、V2を供給するときに、１つ前段の補間回路（例えば196-4）の制御端子α、βに制御電圧VMIN、制御電圧VMAXを供給し、後段側の全ての補間回路（例えば196-2、196-1）の制御端子α、βに制御電圧VMAX、制御電圧VMINを供給する。

【０２２９】補間回路１９６-1は、カウンタ値RQ2=L、RQ1=L、選択信号SELA=Hのときに、制御電圧V1、V2を受ける。この状態は、内部クロック信号CLKIの位相を内部クロック信号CLK-Kの位相に対して４５-９０°ずらすときに使用される。補間回路１９６-2は、カウンタ値RQ2=L、RQ1=Hのときに、制御電圧V1、V2を受ける。この状態は、内部クロック信号CLKIの位相を内部クロック信号CLK-Kの位相に対して９０-１８０°ずらすときに使用される。

【０２３０】補間回路１９６-3は、カウンタ値RQ2=H、RQ1=Lのときに、制御電圧V1、V2を受ける。この状態は、内部クロック信号CLKIの位相を内部クロック信号CLK-Kの位相に対して１８０-２７０°ずらすときに使用される。補間回路１９６-4は、カウンタ値RQ2=H、RQ1=Hのときに、制御電圧V1、V2を受ける。この状態は、内部クロック信号CLKIの位相を内部クロック信号CLK-Kの位相に対して２７０-３６０°ずらすときに使用される。

【０２３１】補間回路１９６-5は、カウンタ値RQ2=L、RQ1=L、選択信号SELA=Lのときに、制御電圧V1、V2を受ける。この状態は、内部クロック信号CLKIの位相を内部クロック信号CLK-Kの位相に対して０-４５°の範囲でずらすときに使用される。図６５は、ラフカウンタ188、ファインカウンタ１９０、および選択信号SELA、SELB、/SELBに対応して動作する補間回路１９６、２００の状態を示している。

【０２３２】内部クロック信号CLKIの内部クロック信号CLK-Kに対する位相は、ラフカウンタ１８８の値に応じて９０°ずつ変更される。また、内部クロック信号CLKIの位相は、各９０°の範囲内において、ファインカウンタ１９０の値に応じて、約１１°ずつ変更される。選択信号SELAは、上述したように、４５-９０°の範囲でHレベルになり、それ以外でLレベルになる。この結果、図６４に示したように、遅延回路１９８において、0-４５°の範囲では、補間回路１９６-5が動作し、４５-９０°の範囲では、補間回路１９６-1が動作する。同様に、９０-１８０°の範囲では、補間回路１９６-2が動作し、１８０-２７０の範囲では、補間回路１９６-2が動作し、２７０-３６０では、補間回路１９６-2が動作する。

【０２３３】一方、遅延回路２０２において、補間回路２００-1は、少なくとも0-９０°の範囲で動作する。選択信号SELB（/SELB）は、図６２で説明したように、内部クロック信号CLKIの位相が内部クロック信号CLK-Kの位相に対して２２．５-６７．５°の範囲でずれているときに、それぞれHレベル、Lレベルになる。このとき、図５１に示した合成回路２０４は、内部クロック信号CLKIBを内部クロック信号CLKIとして出力する。

【０２３４】したがって、0-２２．５°の範囲では、補間回路１９６-5が使用され、２２．５-６７．５°の範囲では、補間回路２００-1が使用され、６７．５-９０°の範囲では、補間回路１９６-1が使用される。

【０２３５】図６６は、選択信号SELA、SELBの状態、および各位相において動作する補間回路を示している。破線の円弧は、図５１に示した合成回路２０４からは出力されないが、合成回路２０４に内部クロック信号CLKIA（またはCLKIB）を出力している補間回路を示している。上述した半導体集積回路では、以下示すように、内部クロック信号CLKIの位相調整が行われる。

【０２３６】図６７は、位相調整の制御を示すフローチャートである。位相調整は、初期設定、ラフ調整、ファイン調整の順で行われる。

（ａ）初期調整

初期調整は、主に図５２に示した初期化回路２０６が行う。初期調整では、以下のように、各補間回路１９６、２００、２０８の遅延時間が内部クロック信号CLKIの周期の４分の１（９０°）にされる。

【０２３７】まず、ステップＳ６１において、第１の実施形態のステップＳ１と同様に各回路が初期化される。次に、ステップＳ６２において、初期化回路２０６の位相比較回路２１６は、分周回路２１２、２１４から分周された内部クロック信号CLKI、CLKI2の位相を比較し、比較結果を出力する。

【０２３８】ステップＳ６３において、初期化回路206は、両信号の位相が一致（所定値内）したときには、制御をステップＳ６５に移行する。ステップＳ６５以降では、初期化回路２０６は、位相比較回路２１６による位相比較を行わない。このため、制御電圧V3は一定値に保持される。両信号の位相が一致しないときには、制御は、ステップＳ６４に移行する。

【０２３９】ステップＳ６４において、図５２に示したカウンタ２２０は、比較結果に基づいてカウンタ値を増加または減少させる。D/Aコンバータ２２２は、カウンタ値に対応する制御電圧V3を出力する。各補間回路１９６、２００、２０８は、制御電圧V3を受けて電流供給量が変化し、最大遅延時間が変化する。そして、図５２に

示した内部クロック信号CLKI2の位相は、内部クロック信号CLKIの位相に対して変化する。この後、制御は再びステップS62に移行する。そして、内部クロック信号CLKI、CLKI2の位相が比較される。

【0240】ステップS63において、内部クロック信号CLKI、CLKI2の位相が一致した場合、各補間回路196、200、208の最大遅延時間は、内部クロック信号CLKIの周期の4分の1（90°）になっている。この結果、直列に接続された4つの補間回路を、それぞれ、0-90°、90-180°、180-270°、270-0°の位相調整に使用することで、内部クロック信号CLKIの位相調整を行うことができる。

【0241】図68は、初期調整後の位相調整の一例を示している。例えば、入力クロックに対して位相を370°遅らせた出力クロックの入力クロックに対する位相差は、位相を10°遅らせた出力クロックと同じである。したがって、上記初期調整後は、最低4つの補間回路（遅延回路）を使用することで位相調整が可能になる。

【0242】しかし、例えば、4つの補間回路196-4、...196-1のみで位相を調整した場合、以下の不具合が発生する。すなわち、補間回路196-4で入力クロックに対して位相を350°遅らせ、さらに位相を360°まで遅らせる場合、補間回路196-4から補間回路196-1に切り替わる。このとき、図64に示したように、補間回路196-3、196-2において、制御電圧VMAXが供給されている制御端子α、βには、最大電圧VMINが供給され、最大電圧VMINが供給されている制御端子α、βには、制御電圧VMAXが供給される。この結果、内部クロック信号CLKIにジッタが発生する。

【0243】このため、図51に示した遅延回路198において、位相を調整する補間回路196を5段とし、さらに、補間回路196-1、196-2と重なって動作する補間回路200-1を有する遅延回路202を形成している。

（b）ラフ調整

ラフ調整では、遅延回路198、202が使用され、内部クロック信号CLKIの位相が9.0°ずつ変更される。

【0244】まず、ステップS65において、図50に示した位相比較回路182は、参照クロック信号REFCLKと内部クロック信号DICLKとの位相を比較し、比較結果を出力する。次に、ステップS66において、ラフ制御部184は、位相比較回路182から出力される比較結果信号COMPが反転したときに、ラフロックオン信号RLON2を活性化し、制御をステップS68に移行する。両信号の位相が一致しないときには、制御は、ステップS67に移行する。

【0245】ステップS67において、ラフ制御部184は、比較結果信号COMPに基づいて、カウントアップ信号RUPまたはカウントダウン信号RDOWNを出力し、ラフカウンタ188のカウンタ値を変更する。第1セレクタ176、第2セレクタ192、およびスイッチ回路174は、カウンタ値に基づいて遅延回路198、202を制御する。

【0246】なお、ラフ制御では、図50に示したファインカウンタ190は、カウント値を中央の値に保持している。このため、第1の実施形態の図36で説明したように、内部クロック信号CLKIの位相は、補間回路196、200の切り替え時に均等に変化する（図65の下部）。ラフ制御では、内部クロック信号CLKIの位相は、内部クロック信号CLK-Kに対して45°、135°、225°、315°ずれる。このため、補間回路200-1、196-2、196-3、196-4が使用される。

【0247】また、使用しない補間回路（例えば、図64の"Don't care"）のイネーブル信号ENにLレベルを供給することで、消費電力が低減される。この後、制御は、再びステップS65に移行する。

【0248】（c）ファイン調整

ファイン調整では、遅延回路198、202が使用され、内部クロック信号CLKIの位相の微調整が行われる。まず、ステップS68において、第1の実施形態と同様のファイン初期調整（図37）が行われる。このため、ステップS68では、内部クロック信号CLKIの位相が、約11°の整数倍ずつ変更される。

【0249】次に、ステップS69において、ファイン調整が繰り返し行われる。ステップS68では、内部クロック信号CLKIの位相が、約11°ずつ変更される。ステップS68、S69では、図50に示したファイン制御部184は、比較結果信号COMPに基づいて、カウントアップ信号FUPまたはカウントダウン信号FDOWNを出力し、ファインカウンタ190のカウンタ値を変更する。D/Aコンバータ194は、カウンタ値に基づいて遅延回路198、202を制御する。ここで、第1セレクタ176は、図64に示したように、隣接する補間回路196の制御端子α、βに、制御電圧V1、V2をそれぞれ逆に供給している。このため、図65に示したように、補間回路196、200の切り替え時に、ファインカウンタ190のカウント値を最大値から最小値または最小値から最大値に変える必要はない。したがって、第1の実施形態と同様に、補間回路の切り替え時に、カウント値の変動によって内部クロック信号CLKIにジッタが発生することが防止される。

【0250】次に、内部クロック信号CLKIの位相を、内部クロック信号CLK-Kの位相に対して0-90°ずらす制御について説明する。図65で説明したように、遅延回路198において、0-45°の範囲では、補間回路196-5が動作し、45-90°の範囲では、補間回路196-1が動作している。また、遅延回路202において、0-90°の範囲では、補間回路200-1が動作している。すなわち、補間回路196-1、196-5と補間

回路２００-1とは、互いに重なって動作している。そして、図５１に示した合成回路２０４にLレベルの選択信号SELBが供給されるとき、遅延回路１９８から出力される内部クロック信号CLKIAが内部クロック信号CLKIとして出力される。合成回路２０４にHレベルの選択信号SELBが供給されるとき、遅延回路２０２から出力される内部クロック信号CLKIBが内部クロック信号CLKIとして出力される。初期調整により、0-90°の範囲では、内部クロック信号CLKIA、CLKIBの位相は同一になっている。このため、内部クロック信号CLKIにジッタを発生させることなく、位相が調整され、内部クロック信号CLKIA、CLKIBが合成回路２０４により合成される。

【０２５１】また、補間回路１９６-1、１９６-5と補間回路２００-1とが互いに重なって動作することで、図６５に示したように、補間回路２００-1を使用している４５°で、補間回路１９６-1、１９６-5が切り替えられる。このため、この切り替えが内部クロック信号CLKIに影響することはない。この実施形態の半導体集積回路においても、上述した第１の実施形態と同様の効果を得ることができる。さらに、この実施形態では、ラフ制御部１８４およびファイン制御部１８６は、遅延回路１９８の前段側の補間回路１９６-5および初段の補間回路１９６-1で位相を調整しているときに、同時に遅延回路２０２の補間回路２００-1で位相を調整した。このため、ラフ制御部１８４およびファイン制御部１８６は、補間回路２００-1で位相を調整しながら、補間回路１９６-5、補間回路１９６-1を切り替えることができる。したがって、補間回路１９６-5、補間回路１９６-1の切り替えが内部クロック信号CLKIに影響することを防止できる。この結果、内部クロック信号CLKIにジッタが発生することを防止できる。

【０２５２】遅延回路２０２に遅延回路１９８の補間回路１９６と同一の補間回路２００を１つ形成した。このため、補間回路２００で内部クロック信号CLKIの位相を調整している間に、余裕を持って補間回路１９６を切り替えることができる。また、合成回路２０４は、余裕を持って内部クロック信号CLKIA、CLKIBの合成を制御できる。

【０２５３】初期化回路２０６による初期調整で、各補間回路１９６、２００、２０８の最大遅延時間を内部クロック信号CLK-K、CLKIの周期の４分の１（９０°）に調整した。また、遅延回路１９８の補間回路１９６を６段にした。このため、遅延回路１９８は、内部クロック信号CLK-Kを１周期分以上遅延させることができる。したがって、遅延回路１９８の補間回路１９６を順次切り替えることで、内部クロック信号CLK-K、CLKIの位相を必ず一致させることができる。したがって、少ない補間回路１９６で精度よく位相を調整できる。

【０２５４】初期化回路２０６を動作することで、動作電圧、動作温度に応じて補間回路１９６、２００の最大遅延時間を最適に設定することができる。初期化回路２０６に形成した遅延回路２１０の入力と出力との位相を比較して、間接的に補間回路１９６、２００に供給される制御電圧V3を求めた。このため、初期化回路２０６は、補間回路１９６、２００を位相調整に必要な回路のみで構成することができる。余分な回路がないため、位相調整の精度を高くできる。

【０２５５】位相を調整する補間回路１９６、２００と、初期調整において最大遅延時間を求める補間回路２０８とを同じ回路で構成した。このため、補間回路１９６、２００に供給される制御電圧V3を精度よく求めることができる。初期化回路２０６に形成した遅延回路２１０の４つの補間回路２０８の総遅延時間を内部クロック信号CLKIの周期と同一にし、位相を調整する補間回路１９６の数を、補間回路２０８の数より多い６つにした。このため、補間回路１９６により、内部クロック信号CLKIの位相を１周期以上調整することができる。すなわち、内部クロック信号CLK-K、CLKIの位相を必ず一致させることができる。

【０２５６】初期調整において、補間回路１９６、２００に供給する制御電圧V3を求めた後、ラフ調整およびファイン調整を行った。このため、ラフ調整およびファイン調整時に、制御電圧V3が変化することはない。したがって、ラフ調整およびファイン調整を安定して精度よく行うことができる。なお、上述した第１の実施形態では、図５に示したように、差動増幅型の補間回路３９を形成し、カウンタ信号CNT3-CNT0の重み付けに応じた位相の内部クロック信号を生成した例について述べた。本発明はかかる実施形態に限定されるものではない。以下、補間回路の別の構成例を示す。なお、以下の構成例は、電流源を制御電圧V3で制御することで、第４の実施形態の補間回路２９６、２００、２０８としても使用することができる。

【０２５７】また、第４の実施形態における遅延制御回路１７２および初期化回路２０６の各補間回路１９６、２００、２０８にそれぞれ専用の電源を使用することで、外部から供給される電源電圧のゆらぎに対して補間回路１９６、２００、２０８を安定して動作させることができる。そして、補間回路１９６、２００、２０８に降圧した電源電圧を供給し、または補間回路１９６、２００、２０８に降圧した専用の電源電圧をそれぞれ供給することで、補間回路１９６、２００、２０８を、さらに安定して動作させることができる。

【０２５８】また、第４の実施形態における初期化回路２０６に供給されるクロック信号は、合成回路２０４から出力される内部クロック信号CLKIに限られず、内部クロック信号CLK-Kと同一の周期を有する内部クロック信号であればよい。さらに、内部クロック信号CLK-Kの代わりに、初期化回路２０６から出力される内部クロック信号CLKI2を遅延制御回路１７２の入力クロック信号に

使用することも可能である。

【０２５９】図６９に示す補間回路２２８は、定電流源２２８ａと、定電流源２２８ａから供給される電流を引き抜くゲート幅の異なる４つのnMOS２２８ｂ、２２８ｃ、２２８ｄ、２２８ｅと、各トランジスタのソース側に直列に接続された４つのnMOS２２８ｆとを２組備え、さらに、出力を互いに接続した２つの差動増幅回路２２８ｇ、２２８ｈからなる差動増幅部２２８１を備えて構成されている。nMOS２２８ｂ、２２８ｃ、２２８ｄ、２２８ｅに記載されている数字は、ゲート幅の比率を示している。nMOS２２８ｅ、２２８ｄ、２２８ｃ、２２８ｂのゲートには、それぞれカウンタ信号CNT3-CNT0が供給されている。nMOS２２８ｆのゲートには、定電圧信号VCが供給されている。定電流源２２８ａに接続されたノードα1、β1は、それぞれ差動増幅回路２２８ｇ、２２８ｈにおける接地線VSSに接続されたnMOSのゲートに接続されている。

【０２６０】差動増幅部２２８１の出力は、差動増幅回路からなるバッファ１７０ａ、１７０ｂに接続されている。バッファ２３０ａ、２３０ｂの出力からは、内部クロック信号CLKI、/CLKIが出力されている。補間回路２２８では、カウンタ信号CNT3-CNT0の重み付けに応じてノードα1、β1の電圧が変化し、差動増幅回路２２８ｇ、２２８ｈの増幅能力が変化することで、入力端子IN1、IN2（または/IN1、/IN2）に供給される内部クロック信号の間に位相を有する内部クロック信号CLKI（または/CLKI）が生成される。

【０２６１】図７０に示す補間回路２３２は、ゲート幅が異なり、出力が互いに接続された４つのCMOSスイッチ２３２ａ、２３２ｂ、２３２ｃ、２３２ｄを２組備えて構成されている。CMOSスイッチ２３２ａ、２３２ｂ、２３２ｃ、２３２ｄに記載されている数字は、ゲート幅の比率を示している。入力端子IN1（または/IN1）から内部クロック信号が供給されるCMOSスイッチ２３２ａ、２３２ｂ、２３２ｃ、２３２ｄは、カウンタ信号CNT3-CNT0で制御されている。入力端子IN2（または/IN2）から内部クロック信号が供給されるCMOSスイッチ２３２ａ、２３２ｂ、２３２ｃ、２３２ｄは、インバータを介してカウンタ信号CNT3-CNT0の反転論理で制御されている。補間回路２３２の出力ノードNOUTから出力される内部クロック信号は、バッファ４２（または４４）に供給されている。

【０２６２】補間回路２３２では、CMOSスイッチ２３２ａ、２３２ｂ、２３２ｃ、２３２ｄが、カウンタ信号CNT3-CNT0の重み付けに応じた可変抵抗として作用することで、２つの内部クロック信号の間に位相を有する内部クロック信号CLKI（または/CLKI）が生成される。図７１に示す補間回路２３４は、入力端子IN1（または/IN1）を介して内部クロック信号を受けるスイッチ回路２３６ａ、２３６ｂ、２３６ｃ、２３６ｄと、入力端子IN2（または/IN2）を介して内部クロック信号を受けるスイッチ回路２３８ａ、２３８ｂ、２３８ｃ、２３８ｄと、４つのインバータ２４０と、抵抗R12、R13とを備えている。各スイッチ回路は、クロックドインバータとこのクロックドインバータのpMOSに接続されたインバータとで構成されている。スイッチ回路２３６ａ-２３６ｄの制御端子には、それぞれ、インバータ２４０を介してカウンタ信号C0-C3が供給されている。スイッチ回路２３８ａ-２３８ｄの制御端子には、それぞれ、カウンタ信号C0-C3が供給されている。各スイッチ回路に記載されている数字は、クロックドインバータのゲート幅の比率を示している。すなわち、スイッチ回路２３６ａ-２３６ｄのクロックドインバータのオン抵抗は、順次２分の１になっている。同様に、スイッチ回路２３８ａ-２３８ｄのクロックドインバータのオン抵抗は、順次２分の１になっている。換言すれば、４つのスイッチ回路２３６ａ-２３６ｄ（または２３８ａ-２３８ｄ）により、カウンタ信号C3-C0の重み付けに応じて変化する可変抵抗が形成されている。抵抗R12、R13には、供給される２つの内部クロック信号の変化に伴ってカウンタ信号C3-C0の重み付けに応じた電流が流れる。そして、抵抗R12、R13の間のノードに、２つの内部クロック信号の間に位相を有する内部クロック信号CLKa（または/CLKa）が生成される。

【０２６３】バッファ４２、４４は、直列に接続され両端が電源線VDDおよび接地線VSSに接続された抵抗R14、R15と、抵抗R14、R15の間の電圧と内部クロック信号CLKn（または/CLKn）とを受ける差動増幅回路２４２ａと、差動増幅回路２４２ａからの出力波形を成形し内部クロック信号CLKb（または/CLKb）として出力するインバータ２４２ｂとを備えている。

【０２６４】上述した第１の実施形態では、２進カウンタ１３６を４ビットで構成した例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、補間回路３８、４０の位相調整の精度に合わせて、２進カウンタ１３６を６ビットまたは８ビットで構成してもよい。上述した第１の実施形態では、シフトレジスタ６３で補間回路３９を切り替えた例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、制御信号A、B、C、Dを受けてアップ／ダウンするカウンタ、およびこのカウンタの出力をデコードする回路を構成し、このデコード信号で補間回路を切り替えてもよい。

【０２６５】上述した第１の実施形態では、ラフ制御回路５１に設けたシフト方向ラッチ１２２で補間回路３９の切替方向を制御した例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、シフトレジスタ６３の情報を比較することで補間回路３９の切替方向を制御してもよい。上述した第１の実施形態では、補間回路として動作している補間回路３９の２つ前

の補間回路まで活性化した例について述べた。しかしながら、本発明はかかる実施形態に限定されるものではない。例えば、３つ前の補間回路まで活性化してもよい。この場合、ラフ制御において、前段側への切替により遅延回路となる補間回路３９を安定に動作させることができる。また、ファイン制御において、カウンタ値C3-C0が最大値または最小値に近づいた時に、２つ前の補間回路３９を活性化してもよい。

【０２６６】上述した実施形態では、相補のクロック信号CLK、/CLKが供給されるDDR-SDRAMに適用した例について述べた。しかしながら、本発明はかかる実施形態に限定されるものではない。例えば、クロック信号CLKのみが供給されるSDRAMに適用してもよい。上述した実施形態では、本発明を、DDR-SDRAMに適用した例について述べた。しかしながら、本発明はかかる実施形態に限定されるものではない。例えば、本発明をDRAM、SRAM等の半導体メモリに適用してもよい。さらに、本発明をDRAMのメモリコアを内蔵したシステムLSIに適用してもよい。

【０２６７】上述した第３の実施形態では、第１分周回路１５６にCMOSスイッチで形成されたスイッチ１５６ａ、１５６ｂ、１５６ｃを備え、モードレジスタを所定の値にすることでスイッチ１５６ａ、１５６ｂ、１５６ｃの切り替えを行う例について述べた。しかしながら、本発明はかかる実施形態に限定されるものではない。例えば、第１分周回路１５６のスイッチをポリシリコン等のヒューズで構成し、ヒューズの溶断によりスイッチの切り替えを行ってもよい。この場合、半導体集積回路の製造工程で、参照クロックREFCLKの出力タイミングを設定できる。一般に、半導体集積回路は、動作周波数ごとに製品名を変えて出荷されている。また、半導体集積回路は、ウエハ内でのチップの位置、製造ロットにより、動作周波数特性がある程度ばらつく。このため、製造工程において製品の動作周波数に応じてヒューズを溶断し、参照クロックREFCLKの出力タイミングを設定することで、個々の半導体集積回路に応じて、最適な参照クロックREFCLKの出力タイミングを設定できる。この結果、遅延段活性化回路５６を有効に動作させて消費電力を低減できる。

【０２６８】また、チップ上に、スイッチを制御するためのパッド等の取り出し部を形成してもよい。この場合には、製品の出荷前には、これ等パッドを試験端子として使用して、製品の評価を行うことができる。製品の出荷時には、パッドをボンディングワイヤ等で電源線VDDまたは接地線VSSに接続することで、スイッチをヒューズで構成した場合と同様の効果を得ることができる。さらに、製品の出荷時に、パッドと外部端子とを接続することで、半導体集積回路が搭載されるシステムのクロック周波数に応じて、基板上で参照クロックREFCLKの出力タイミングを設定できる。

【０２６９】また、上述した第１の実施形態では、図９に示したように、ダミー出力バッファ８６およびダミー入力バッファ８８をダミー回路として使用してきた。しかしながら、ダミー入力バッファ８８のみを使用することで、クロック信号CLKのタイミングに合わせることができる。あるいは、ダミー入力バッファ８８のみを使用し、参照クロック信号REFCLKにラッチ回路分の遅延回路を追加することで、クロック信号CLKからラッチ回路分遅い内部クロック信号を作ることができる。

【０２７０】上述した第３の実施形態では、第１分周回路１５６にスイッチ１５６ａ、１５６ｂ、１５６ｃを備えた例について述べた。しかしながら、本発明はかかる実施形態に限定されるものではない。例えば、第２分周回路８４にもスイッチを備えてもよい。

【０２７１】上述した第４の実施形態では、ファインカウンタ１９０を３ビットで構成した例について述べた。しかしながら、本発明はかかる実施形態に限定されるものではない。例えば、補間回路１９６、２００の位相調整の精度に合わせて、ファインカウンタ１９０を４ビットまたは８ビットで構成してもよい。上述した第４の実施形態では、位相比較回路１８２は、内部クロック信号DICLK、参照クロック信号REFCLKを直接比較した例について述べた。しかしながら、本発明はかかる実施形態に限定されるものではない。例えば、分周回路で分周した内部クロック信号DICLK、参照クロック信号REFCLKを比較してもよい。この場合には、消費電力を低減できる。また、ラフ調整からファイン調整に切り替え後に、分周回路を使用して位相比較の頻度を下げてもよい。この場合、消費電力を低減できる。

【０２７２】この際、第３の実施形態と同様に、分周回路にスイッチを形成し、モードレジスタを所定の値にすることでスイッチを切り替えてもよい。スイッチの切り替えは、モードレジスタに限らず、ヒューズ、外部端子による制御、外部端子のワイヤボンディング等で可能である。上述した第４の実施形態では、初期調整の後にラフ調整およびファイン調整を行った例について述べた。しかしながら、本発明はかかる実施形態に限定されるものではない。例えば、初期調整とラフ調整およびファイン調整とを同時に行ってもよい。

【０２７３】また、上述した実施形態では、補間回路３９、１９６、２００、２０８に電源電圧VDDを供給した例について述べた。しかしながら、本発明はかかる実施形態に限定されるものではない。例えば、電源電圧VDDより低い電圧を供給してもよい。この場合、各補間回路は、ノイズの影響を受けにくくなる。補間回路３９、１９６、２００、２０８の電源線を他の回路の電源線と分離にすることで、さらにノイズの影響を受けにくくなる。各補間回路ごとに別の電源線（降圧電源等）を接続することで、さらにノイズの影響を受けにくくなる。

【０２７４】セルフリフレッシュ等のモードでは、DLLを止め、DLLを動作するモードに移行後に、位相比較の

頻度を上げてもよい。また、セルフリフレッシュ後は、ラフ調整から行ってもよい。そして、内部クロック信号CLKIとクロック信号CLKとの位相が所定以上ずれたときにロックアウト情報を出力する位相比較回路を設け、ロックアウト情報が出力されたときに、位相比較の頻度を上げてもよい。

【０２７５】以上の実施形態において説明した発明を整理して以下の項を開示する。

（１）請求項１記載の遅延回路において、前記位相調整回路の後段側の補間回路は、前記遅延回路として動作し、前記位相調整回路の前段側の補間回路の少なくとも一部は、動作を停止することを特徴とする遅延回路。この遅延回路では、遅延クロック信号を生成するために必要な補間回路のみが動作するため、消費電力が低減される。

【０２７６】（２）上記（１）記載の遅延回路において、前記遅延クロック信号の遅延時間の調整は、前記位相調整回路として動作させる前記補間回路の切り替えおよび該位相調整回路の位相制御の２段階で調整されることを特徴とする遅延回路。この遅延回路では、遅延クロック信号の遅延時間が、補間回路の切替と位相調整回路の制御との２段階で調整される。このため、遅延クロック信号の遅延時間をずらす調整が早く行われれる。

【０２７７】（３）請求項１記載の遅延回路を備えたことを特徴とする半導体集積回路。この半導体集積回路では、内部クロック信号等のクロック信号の遅延時間が簡易かつ精度よく調整される。

（４）請求項２記載の半導体集積回路において、前記比率情報をシフトレジスタまたはカウンタにより生成されることを特徴とする半導体集積回路。

【０２７８】この半導体集積回路では、シフトレジスタまたはカウンタにより、比率情報が容易に生成される。

（５）請求項３記載の半導体集積回路において、前記制御回路は、前記基準クロック信号と前記遅延クロック信号との位相が逆転したときに、比較結果が前記遅延段の遅延時間以下になったと判断することを特徴とする半導体集積回路。

【０２７９】この半導体集積回路では、制御回路は、遅延クロック信号と基準クロック信号との位相が逆転したことに基づいて、遅延クロック信号と基準クロック信号との位相差が遅延段の遅延時間以下になったと判断する。そして、位相調整回路による微調整を開始する。位相の逆転の判断は、ラッチ等の簡易な回路で容易に行うことができ、回路規模を小さくできる。

【０２８０】（６）請求項２記載の半導体集積回路において、前記各補間回路には、独立した電源電圧が供給されていることを特徴とする半導体集積回路。この半導体集積回路では、補間回路には、独立した電源電圧が供給されているため、他の回路の影響を受けて、補間回路から出力されるクロック信号の位相が変動することを防止できる。また、補間回路に低電圧を供給することで、消費電力を低減できる。

【０２８１】（７）請求項２記載の半導体集積回路において、前記位相比較の開始時に、前記基準クロック信号に同期して開始信号を活性化する開始信号発生器を備えたことを特徴とする半導体集積回路。この半導体集積回路では、位相比較の開始時に、基準クロック信号に同期して開始信号を活性化する開始信号発生器を備えている。このため、位相比較の開始時に、各制御回路を互いに同期させることができ、常に所定の状態から位相比較を開始できる。

【０２８２】（８）上記（７）記載の半導体集積回路において、前記開始信号発生器は、前記基準クロック信号の立ち下がりに同期して、開始信号を活性化することを特徴とする半導体集積回路。

【０２８３】この半導体集積回路では、開始信号発生器は、基準クロック信号の立ち下がりに同期して開始信号を活性化する。このため、基準クロック信号のＨレベル期間が開始信号によりマスクされ、ハザードとなることを防止することができ、遅延回路を安定して動作させることができる。

（９）請求項２記載の半導体集積回路において、前記基準クロック信号および前記遅延クロック信号の周波数をそれぞれ分周する分周器を備え、前記位相比較回路には、前記各分周器を介して周波数を分周された前記基準クロック信号および前記遅延クロック信号が供給されることを特徴とする半導体集積回路。

【０２８４】この半導体集積回路では、基準クロック信号および遅延クロック信号の周波数をそれぞれ分周する分周器を備えている。位相比較回路には、各分周器を介して周波数を分周された基準クロック信号および遅延クロック信号が供給される。このため、高い周波数の基準クロック信号が供給される場合にも、位相比較回路を確実に動作させることができる。また、位相比較の頻度が少なくなるため、消費電力を低減できる。

【０２８５】（１０）上記（９）記載の半導体集積回路において、前記位相比較の開始時に、前記基準クロック信号に同期して開始信号を活性化する開始信号発生器を備え、前記各分周器は、前記開始信号の活性化を受けて動作を開始し、所定のクロック数後に、それぞれ分周された前記基準クロック信号および前記遅延クロック信号の出力を開始することを特徴とする半導体集積回路。

【０２８６】この半導体集積回路では、位相比較の開始時に、基準クロック信号に同期して開始信号を活性化する開始信号発生器を備えている。各分周器は、開始信号の活性化を受けて動作を開始し、所定のクロック数後に、それぞれ分周された基準クロック信号および遅延クロック信号の出力を開始する。このため、基準クロック信号が特定の周波数の場合に、位相比較回路に供給される基準クロック信号と遅延クロック信号との位相のずれ

の最大値を小さくできる。この結果、粗調整における位相比較の回数を低減できる。補間回路の段数を低減できる。

【0287】（11）上記（10）記載の半導体集積回路において、前記所定のクロック数は、基準クロック信号の周波数に応じて設定可能であることを特徴とする半導体集積回路。この半導体集積回路では、開始信号の活性化を受けてから分周された基準クロック信号および遅延クロック信号の出力を開始するまでのクロック数を、基準クロック信号の周波数に応じて設定することで、位相調整に必要な位相比較の回数を低減できる。

【0288】（12）上記（10）記載の半導体集積回路において、前記所定のクロック数を設定するモードレジスタを備えたことを特徴とする半導体集積回路。この半導体集積回路では、ウエイトクロック数の設定を行うモードレジスタを備えた。このため、電源の立ち上げ時等にモードレジスタを変更することで、基準クロック信号の周波数に応じたウエイトクロック数の設定を容易に行うことができる。

【0289】（13）上記（11）記載の半導体集積回路において、前記所定のクロック数を設定するヒューズを備えたことを特徴とする半導体集積回路。この半導体集積回路では、所定のクロック数の設定を行うヒューズを備えた。このため、製造工程において、製品仕様（周波数）に応じてヒューズを溶断することで、所定のクロック数の設定を簡易かつ確実に行うことができる。

【0290】（14）上記（10）記載の半導体集積回路において、前記所定のクロック数を設定する制御端子を備えたことを特徴とする半導体集積回路。この半導体集積回路では、所定のクロック数の設定を行う制御端子を備えた。このため、これ等制御端子を試験端子として使用して、製品の評価を行うことができる。これ等制御端子を電源線VDDまたは接地線VSSに接続することで、所定のクロック数に設定できる。これ等制御端子を外部端子にすることで、半導体集積回路が搭載されるシステムのクロック周波数に応じて、基板上で所定のクロック数の設定を行うことができる。

【0291】（15）請求項4記載の半導体集積回路において、前記調整回路は、前記調整遅延回路に供給される基準クロック信号の位相と出力クロック信号の位相とを比較する位相比較回路を備え、前記位相比較回路の比較結果に基づいて、前記調整遅延回路の前記各補間回路の最大遅延時間を、前記基準クロック信号の周期の整数分の1または整数倍に調整することを特徴とする半導体集積回路。

【0292】この半導体集積回路では、調整回路の位相比較回路は、調整遅延回路の入力クロック信号の位相と出力クロック信号の位相とを比較する。調整回路は、位相比較回路の比較結果に基づいて、調整遅延回路の各補間回路の最大遅延時間を、基準クロック信号の周期の整数分の1または整数倍に調整する。そして、調整遅延回路の調整により、間接的に主遅延回路および副遅延回路の補間回路の最大遅延時間は、基準クロック信号の整数分の1または整数倍にされる。したがって、調整回路の調整が主遅延回路および副遅延回路の補間回路に影響することはなく、これ等補間回路は安定して動作する。

【0293】（16）請求項5記載の半導体集積回路において、前記調整遅延回路と前記主遅延回路と前記副遅延回路との前記補間回路は、同一であることを特徴とする半導体集積回路。この半導体集積回路では、調整回路は、主遅延回路および副遅延回路の補間回路と同一である調整遅延回路の補間回路を調整する。このため、基準クロック信号の位相が容易に調整される。

【0294】（17）上記（16）記載の半導体集積回路において、前記主遅延回路の前記補間回路の数は、前記調整遅延回路の前記補間回路の数より多いことを特徴とする半導体集積回路。

【0295】この半導体集積回路では、主遅延回路の補間回路の数が、調整遅延回路の補間回路の数より多い。例えば、調整遅延回路を4つの補間回路で構成し、1つの補間回路の最大遅延時間を基準クロック信号の4分の1（90°）に調整する。このとき、主遅延回路は、5つの補間回路で構成されている。主遅延回路の位相調整範囲は、450°になる。このため、主遅延回路の補間回路のうち両端の2つは、同じ位相領域（例えば0-90°）で使用できる。この結果、例えば、350°から370°（＝10°）への位相調整の際に、一端の補間回路で調整している間に、他端の補間回路で調整の準備をすることができ、補間回路を円滑に切り替えることができる。

【0296】（18）請求項4記載の半導体集積回路において、前記副遅延回路が生成可能な遅延時間は、前記主遅延回路の1つの前記補間回路が生成可能な遅延時間以上であることを特徴とする半導体集積回路。この半導体集積回路では、副遅延回路は、主遅延回路の1つの補間回路が調整できる位相範囲以上の位相調整ができる。このため、選択回路は、余裕を持って各遅延クロック信号を選択でき、安定した位相調整が行われる。

【0297】（19）請求項4記載の半導体集積回路において、前記主遅延回路が生成可能な遅延時間は、前記基準クロック信号の1周期以上であることを特徴とする半導体集積回路。この半導体集積回路では、主遅延回路の補間回路のうち両端の複数は、同じ位相領域（例えば0-90°）で使用される。この結果、例えば、350°から37.0°（＝10°）への位相調整の際に、一端側の補間回路で調整している間に、他端側の補間回路が調整の準備をすることができ、補間回路の切り替えが円滑に行われる。

【0298】（20）請求項5記載の半導体集積回路において、前記主遅延回路が生成可能な遅延時間は、前記

調整遅延回路が生成可能な遅延時間以上であることを特徴とする半導体集積回路。

【０２９９】この半導体集積回路では、調整遅延回路が基準クロック信号の１周期の遅延時間を生成する場合、主遅延回路の補間回路のうち両端の複数は、同じ位相領域（例えば0-９０°）で使用可能になる。この結果、上記（１９）項と同様に補間回路の切り替えが円滑に行われる。

（２１）請求項５記載の半導体集積回路において、前記制御回路による位相調整は、前記調整回路による最大遅延時間調整の完了後に行われることを特徴とする半導体集積回路。

【０３００】この半導体集積回路では、制御回路による位相調整は、調整回路による最大遅延時間調整の完了後、すなわち、主遅延回路および副遅延回路の補間回路の最大遅延時間を設定した後に行われる。このため、調整回路の影響により遅延クロック信号にジッタが発生することが防止される。

（２２）上記（２１）記載の半導体集積回路において、前記制御回路は、位相比較の開始時に、前記位相比較回路の比較結果に応じて前記主遅延回路または前記副遅延回路の前記補間回路のいずれかを前記位相調整回路に切り替え、前記内部クロック信号の位相を粗調整し、前記基準クロックと前記内部クロック信号との位相差が前記補間回路の最大遅延時間以下になった後、前記位相比較回路の比較結果に応じて前記位相調整回路に前記比率情報を与え、前記内部クロック信号の位相を微調整することを特徴とする半導体集積回路。

【０３０１】この半導体集積回路では、制御回路は、位相比較の開始時に位相比較回路の比較結果に応じて内部クロック信号の位相を粗調整する。制御回路は、遅延クロック信号と基準クロック信号との位相差が、補間回路の最大遅延時間遅以下になった後に、位相比較回路の比較結果に応じて、位相調整回路に比率情報を与え内部クロック信号の位相を微調整する。内部クロック信号の位相調整を粗調整と微調整とに分けて行うことで、内部クロック信号と基準クロック信号との位相を、少ない位相比較回数で早く一致させることができる。

【０３０２】（２３）上記（２２）記載の半導体集積回路において、前記制御回路は、前記基準クロック信号と前記遅延クロック信号との位相が逆転したときに、前記位相差が前記最大遅延時間以下になったと判断することを特徴とする半導体集積回路。この半導体集積回路では、制御回路は、基準クロック信号と内部クロック信号との位相が逆転したことに基づいて、基準クロック信号と内部クロック信号との位相差が補間回路の最大遅延時間以下になったと判断する。そして、位相調整回路による微調整を開始する。位相の逆転の判断は、ラッチ等の簡易な回路で容易に行うことができ、回路規模を小さくできる。

【０３０３】（２４）上記（２２）記載の半導体集積回路において、前記粗調整は、前記比率情報を中央値にして行うことを特徴とする半導体集積回路。この半導体集積回路では、比率情報を中央値にすることで、位相調整回路に切り替えられる全ての補間回路は、基準クロック信号を同じ時間だけ遅延させる。このため、位相調整回路に切り替え時に、内部クロック信号の位相の変化が均等になる。

【０３０４】（２５）請求項４記載の半導体集積回路において、前記各補間回路には、独立した電源電圧が供給されていることを特徴とする半導体集積回路。この半導体集積回路では、補間回路には、独立した電源電圧が供給されているため、他の回路の影響を受けて、補間回路から出力されるクロック信号の位相が変動することを防止できる。また、補間回路に低電圧を供給することで、消費電力を低減できる。

【０３０５】（２６）請求項４記載の半導体集積回路において、前記基準クロック信号および前記遅延クロック信号の周波数をそれぞれ分周する分周器を備え、前記位相比較回路には、前記各分周器を介して周波数を分周された前記基準クロック信号および前記遅延クロック信号が供給されることを特徴とする半導体集積回路。この半導体集積回路では、基準クロック信号および遅延クロック信号の周波数をそれぞれ分周する分周器を備えている。位相比較回路には、各分周器を介して周波数を分周された基準クロック信号および遅延クロック信号が供給される。このため、高い周波数の基準クロック信号が供給される場合にも、位相比較回路を確実に動作させることができる。また、位相比較の頻度が少なくなるため、消費電力を低減できる。

【０３０６】（２７）上記（２６）記載の半導体集積回路において、前記位相比較の開始時に、前記基準クロック信号に同期して開始信号を活性化する開始信号発生器を備え、前記各分周器は、前記開始信号の活性化を受けて動作を開始し、所定のクロック数後に、それぞれ分周された前記基準クロック信号および前記遅延クロック信号の出力を開始することを特徴とする半導体集積回路。

【０３０７】この半導体集積回路では、位相比較の開始時に、基準クロック信号に同期して開始信号を活性化する開始信号発生器を備えている。各分周器は、開始信号の活性化を受けて動作を開始し、所定のクロック数後に、それぞれ分周された基準クロック信号および遅延クロック信号の出力を開始する。このため、基準クロック信号が特定の周波数の場合に、位相比較回路に供給される基準クロック信号と遅延クロック信号との位相のずれの最大値を小さくできる。この結果、粗調整における位相比較の回数を低減できる。補間回路の段数を低減できる。

【０３０８】（２８）上記（２６）記載の半導体集積回路において、前記所定のクロック数は、基準クロック信

号の周波数に応じて設定可能であることを特徴とする半導体集積回路。この半導体集積回路では、開始信号の活性化を受けてから分周された基準クロック信号および遅延クロック信号の出力を開始するまでのクロック数を、基準クロック信号の周波数に応じて設定することで、位相調整に必要な位相比較の回数を低減できる。

【0309】（29）上記（26）記載の半導体集積回路において、前記所定のクロック数を設定するモードレジスタを備えたことを特徴とする半導体集積回路。この半導体集積回路では、ウエイトクロック数の設定を行うモードレジスタを備えた。このため、電源の立ち上げ時等にモードレジスタを変更することで、基準クロック信号の周波数に応じたウエイトクロック数の設定を容易に行うことができる。

【0310】（30）上記（26）記載の半導体集積回路において、前記所定のクロック数を設定するヒューズを備えたことを特徴とする半導体集積回路。この半導体集積回路では、所定のクロック数の設定を行うヒューズを備えた。このため、製造工程において、製品仕様（周波数）に応じてヒューズを溶断することで、所定のクロック数の設定を簡易かつ確実に行うことができる。

【0311】（31）上記（26）記載の半導体集積回路において、前記所定のクロック数を設定する制御端子を備えたことを特徴とする半導体集積回路。この半導体集積回路では、所定のクロック数の設定を行う制御端子を備えた。このため、これ等制御端子を試験端子として使用して、製品の評価を行うことができる。これ等制御端子を電源線VDDまたは接地線VSSに接続することで、所定のクロック数に設定できる。これ等制御端子を外部端子にすることで、半導体集積回路が搭載されるシステムのクロック周波数に応じて、基板上で所定のクロック数の設定を行うことができる。

【0312】

【発明の効果】請求項1の遅延回路では、遅延クロック信号の遅延時間を精度よく調整できる。請求項2の半導体集積回路では、補間回路を使用して遅延クロック信号の位相の微調整を行ったので、微調整の最小単位を小さくできる。すなわち、高い周波数の基準クロック信号が供給される半導体集積回路においても確実に位相調整を行うことができる。

【0313】請求項3の半導体集積回路では、遅延クロック信号の位相調整を粗調整と微調整とに分けて行うことで、遅延クロック信号と基準クロック信号との位相を、少ない位相比較回数で早く一致させることができる。請求項4の半導体集積回路では、内部クロック信号にジッタが発生することを防止できる。請求項5の半導体集積回路では、少ない補間回路で、精度よく位相を調整ができる。

【図面の簡単な説明】

【図1】請求項1ないし請求項3に記載の発明の基本原理を示すブロック図である。

【図2】請求項4および請求項5に記載の発明の基本原理を示すブロック図である。

【図3】第1の実施形態におけるクロック制御部を示すブロック図である。

【図4】図3の遅延クロック生成部を示すブロック図である。

【図5】図4の補間回路を示す回路図である。

【図6】図4のスイッチ部を示す回路図である。

【図7】図4のシフトレジスタを示す回路図である。

【図8】補間回路の入力波形と出力波形とを示すタイミング図である。

【図9】図2の位相比較部を示すブロック図である。

【図10】図9の第1分周回路および第2分周回路を示すブロック図である。

【図11】図10の分周器を示す回路図である。

【図12】図11の分周器の基本的な動作を示すタイミング図である。

【図13】図11の分周器の基本的な動作を示すタイミング図である。

【図14】図9の位相比較回路を示す回路図である。

【図15】図3のラフ／ファイン制御部を示す回路図である。

【図16】図15の組み合わせ回路の動作を示す制御状態図である。

【図17】図3のラフ制御回路を示すブロック図である。

【図18】図17のラフコントロールを示す回路図である。

【図19】図18の組み合わせ回路の動作を示す制御状態図である。

【図20】図17のラフコントロールの動作の概要を示すタイミング図である。

【図21】図17のラフシフトラッチを示す回路図である。

【図22】図17のシフト方向ラッチを示す回路図である。

【図23】図3のファイン制御部を示すブロック図である。

【図24】図23のファインコントロールを示す回路図である。

【図25】図24のファインコントロールの動作を示す制御状態図である。

【図26】第1の実施形態における位相調整の制御を示すフローチャートである。

【図27】第1の実施形態における位相調整の初期設定およびラフ初期調整の制御を示すフローチャートである。

【図28】第1の実施形態におけるファイン初期調整の制御を示すフローチャートである。

【図２９】第１の実施形態におけるファイン初期調整の制御を示すフローチャートである。
【図３０】第１の実施形態におけるラフ／ファイン調整の制御を示すフローチャートである。
【図３１】第１の実施形態におけるラフ／ファイン調整の制御を示すフローチャートである。
【図３２】図３の開始信号発生器の動作を示すタイミング図である。
【図３３】図９の位相比較部での各クロック信号の状態を示すタイミング図である。
【図３４】第１の実施形態の初期設定後における補間回路の状態を示す説明図である。
【図３５】第１の実施形態のラフ初期調整時における補間回路の切り替え制御の概要を示す説明図である。
【図３６】第１の実施形態のラフ初期調整時における２進カウンタの初期値による内部クロック信号の変化を示す説明図である。
【図３７】第１の実施形態のファイン初期調整の概要を示す説明図である。
【図３８】第２の実施形態におけるクロック制御部を示すブロック図である。
【図３９】図３８の位相比較部を示すブロック図である。
【図４０】図３９のファイン位相比較回路を示す回路図である。
【図４１】図３９のラフ位相比較回路を示す回路図である。
【図４２】第２の実施形態におけるラフ位相比較回路の動作を示すタイミング図である。
【図４３】図３８のラフ／ファイン制御部を示す回路図である。
【図４４】図３８のラフ制御部を示す回路図である。
【図４５】図４４のラフコントロールを示す回路図である。
【図４６】図４５の組み合わせ回路の動作を示す制御状態図である。
【図４７】第２の実施形態における位相調整の制御を示すフローチャートである。
【図４８】第３の実施形態における第１分周回路を示すブロック図である。
【図４９】第３の実施形態における位相調整開始時の第１、第２分周器の動作を示すタイミング図である。
【図５０】第４の実施形態におけるクロック制御部を示すブロック図である。
【図５１】図５０の遅延制御回路を示すブロック図である。
【図５２】図５１の初期化回路を示すブロック図である。
【図５３】図５１および図５２の補間回路を示す回路図である。
【図５４】図５０のファインカウンタを示す回路図である。
【図５５】図５４のファインカウンタの動作を示すタイミング図である。
【図５６】図５４のフリップフロップ回路を示す回路図である。
【図５７】図５４のフリップフロップ回路の動作を示すタイミング図である。
【図５８】図５０のD/Aコンバータを示すブロック図である。
【図５９】図５８のD/Aコンバータを示す回路図である。
【図６０】図５９のD/Aコンバータの動作を示すタイミング図である。
【図６１】図５９のD/Aコンバータの出力電圧と補間回路の遅延時間との関係を示す説明図である。
【図６２】図５０の第２セレクタを示す回路図である。
【図６３】図５０のスイッチ回路および第１セレクタを示す回路図である。
【図６４】図５０のスイッチ回路および第１セレクタの動作の概要を示す説明図である。
【図６５】図５１の補間回路の状態を示す説明図である。
【図６６】図５１の補間回路の状態を示す別の説明図である。
【図６７】第４の実施形態における位相調整の制御を示すフローチャートである。
【図６８】第４の実施形態における位相調整の一例を示す説明図である。
【図６９】補間回路の別の例を示す回路図である。
【図７０】補間回路およびバッファの別の例を示す回路図である。
【図７１】補間回路およびバッファの別の例を示す回路図である。
【図７２】従来の半導体集積回路を示すブロック図である。
【図７３】従来のクロック信号の位相調整の制御を示すフローチャートである。
【図７４】図７３における位相調整時の主要な信号を示すタイミング図である。

【符号の説明】

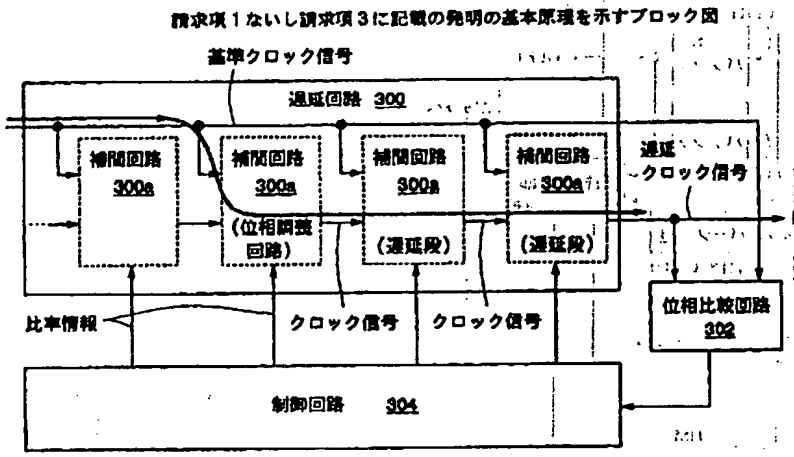
３０　クロック制御部
３２　開始信号発生器
３４ａ、３４ｂ　クロックバッファ
３７　遅延クロック生成部
３９　補間回路
４２、４４　バッファ
４６　位相比較部
４８　ラフ／ファイン制御部
５１　ラフ制御部

５２　ファイン制御部
５３　D/Aコンバータ
５５　遅延回路
５６　遅延段活性化回路
５９　スイッチ回路
６１　スイッチ部
６３　シフトレジスタ
８２　第１分周回路
８４　第２分周回路
８６　ダミー出力バッファ
８８　ダミー入力バッファ
９０　位相比較回路
９２　分周器
１１８　ラフコントロール
１２０　ラフシフトラッチ
１２２　シフト方向ラッチ
１３４　ファインコントロール
１３６　２進カウンタ
１３８　最大最小検出器
１４０　クロック制御部
１４１　位相比較部
１４２　ラフ／ファイン制御部
１４４　ラフ制御部
１４８　ファイン位相比較回路
１５０　ラフ位相比較回路
１５２　ラフコントロール
１５６　第１分周回路
１５６ａ、１５６ｂ、１５６ｃ　スイッチ
１７２　遅延制御回路
１７４　スイッチ回路
１７６　第１セレクタ
１７８、１８０　ダミー回路
１８２　位相比較回路
１８４　ラフ制御部
１８６　ファイン制御部
１８８　ラフカウンタ
１９０　ファインカウンタ
１９２　第２セレクタ
１９４　D/Aコンバータ
１９５　D/Aコンバータ
１９６、１９８、２００　補間回路
２０２　遅延回路
２０４　合成回路
２０６　初期化回路
２０８　補間回路
２１０　遅延回路
２１２、２１４　分周回路
２１６　位相比較回路
２１８　パルス生成回路
２２０　カウンタ
２２２　D/Aコンバータ
３００　遅延回路
３００ａ　補間回路
３０２　位相比較回路
３０４　制御回路
３１０　主遅延回路
３１２　副遅延回路
３１２ａ　補間回路
３１４　選択回路
３１６　位相比較回路
３１８　制御回路
３２０　調整遅延回路
３２０ａ　補間回路
３２２　調整回路
A、B、C、D　制御信号
CLK1、CLK2、CLK3、...　内部クロック信号
/CLK1、/CLK2、/CLK3、...　内部クロック信号
CNT3、CNT2、CNT1、CNT0　カウンタ信号
CLK、/CLK　クロック信号
CLKIA、CLKIB　内部クロック信号
CLK-K、/CLK-K　内部クロック信号
COMP　比較結果信号
COMPI　比較結果信号
DICLK　内部クロック信号
E2、E3、...　イネーブル信号
FCOMP　ファイン比較結果信号
FEN　ファインイネーブル信号
FQ1、/FQ1、FQ2、/FQ2、FQ3、/FQ3　カウンタ信号
IN1、/IN1、IN2、/IN2　入力端子
MAX　最大信号
MIN　最小信号
PLSI　パルス信号
RCOMP　ラフ比較結果信号
RDOWN、FDOWN　カウントダウン信号
REFCLK　参照クロック信号
REN　ラフイネーブル信号
/RESET　リセット信号
RLON　ラフロックオン信号
RQ1、/RQ1、RQ2、/RQ2　カウンタ信号
RSD　ラフシフト方向信号
RSO　ラフシフト順番信号
RUP、FUP　カウントアップ信号
SELA、SELB、/SELB　選択信号
STT　開始信号
TIM　タイミング信号
TIMI　タイミング信号
V1、V2　制御電圧
V3　制御電圧
VMAX、VMAX　制御電圧
X1、X2、X3、...　スイッチ信号

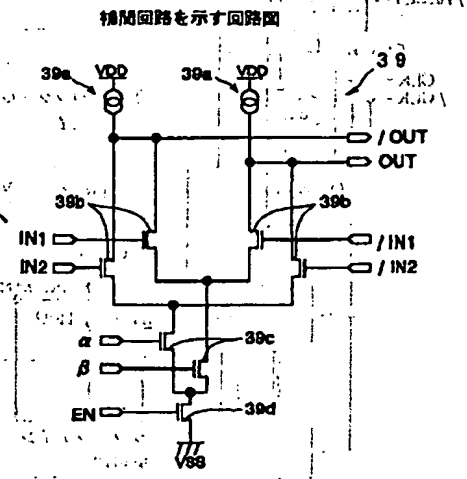
Y1、Y2、Y3、...　スイッチ信号　　α、β　制御電圧（制御端子）

Z1、Z2、Z3...　スイッチ信号

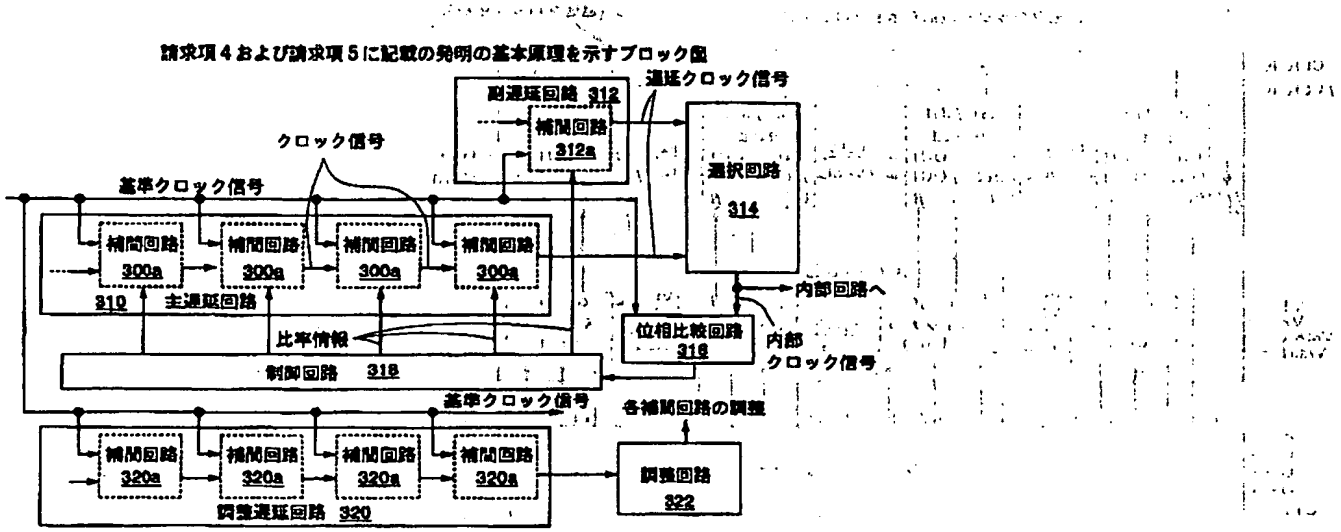
【図１】



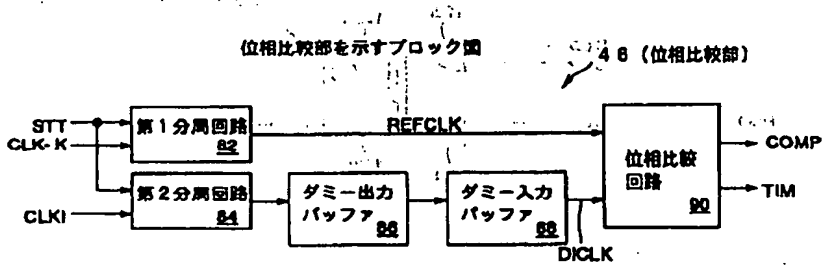
【図５】



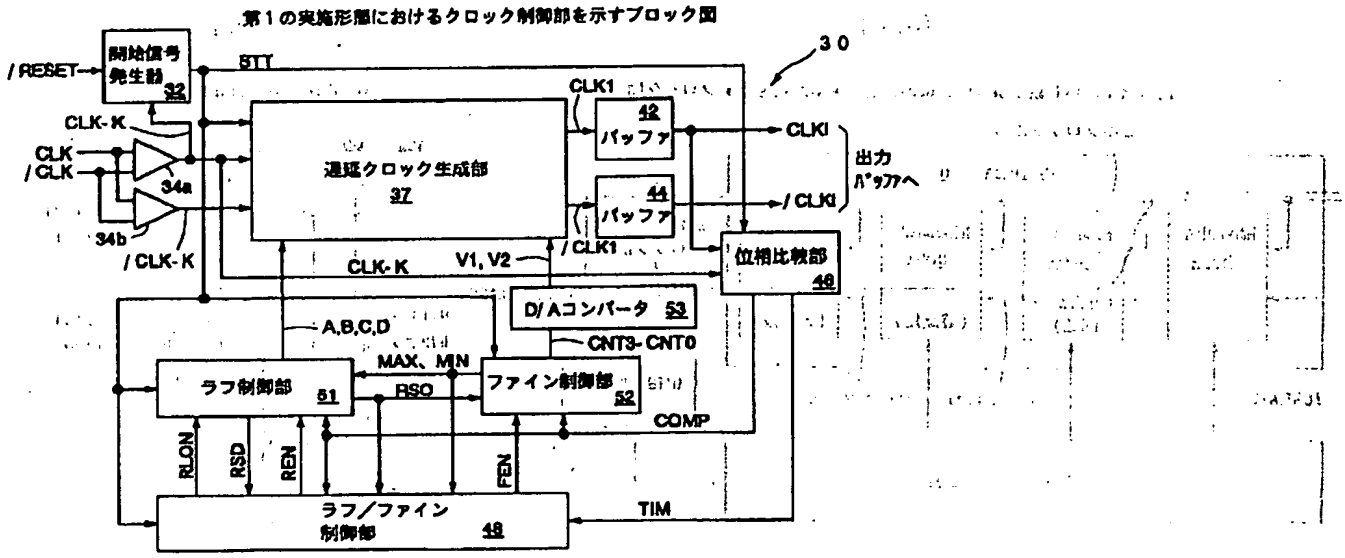
【図２】



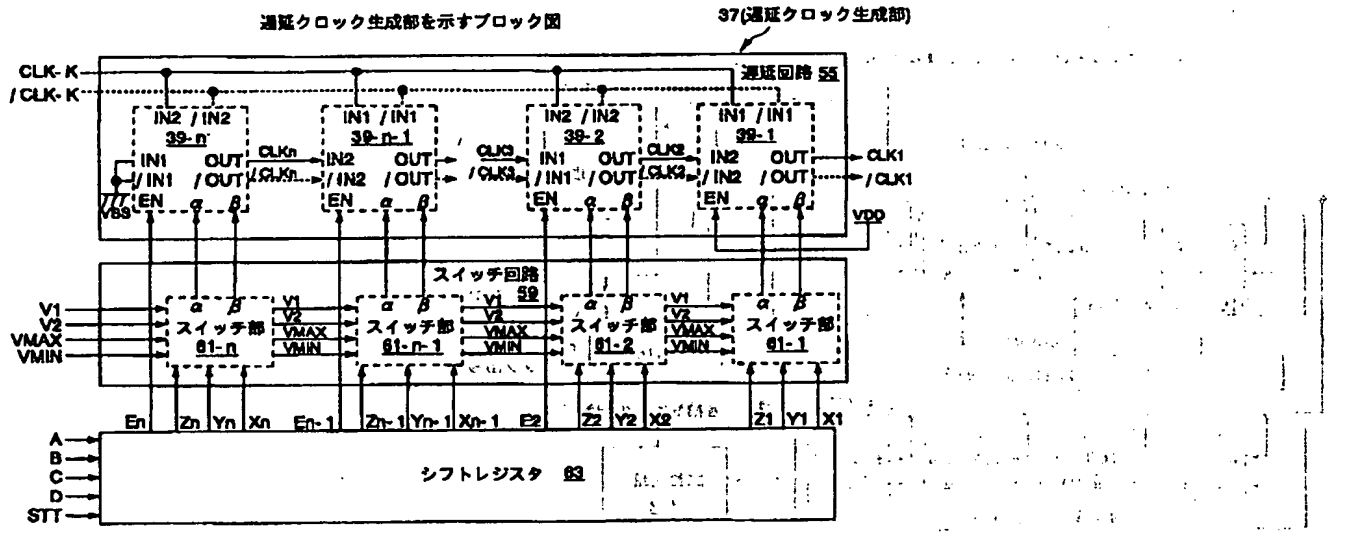
【図９】



【図３】

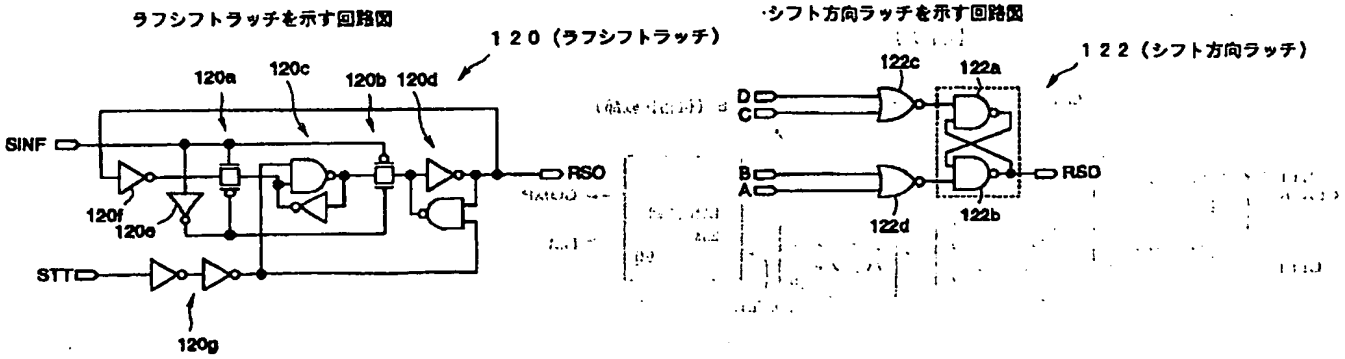

第１の実施形態におけるクロック制御部を示すブロック図
/RESET
開始信号発生部 32
STT
30
CLK1
CLK-K
CLK
/CLK
34a
34b
/CLK-K
遅延クロック生成部 37
42 バッファ
44 バッファ
CLK1
/CLK1
出力バッファへ
位相比較部 46
CLK-K
V1, V2
D/Aコンバータ 53
A,B,C,D
CNT3-CNT0
MAX、MIN
ラフ制御部 51
RSO
ファイン制御部 52
COMP
RLON
RSD
REN
FEN
ラフ/ファイン制御部 48
TIM

【図４】


遅延クロック生成部を示すブロック図
37(遅延クロック生成部)
CLK-K
/CLK-K
遅延回路 55
IN2 / IN2
39-n
IN1 / IN1
39-n-1
39-2
39-1
IN1 OUT
/IN1 /OUT
IN2 OUT
/IN2 /OUT
EN α β
CLKn
/CLKn
CLK3
/CLK3
CLK2
/CLK2
CLK1
/CLK1
VDD
スイッチ回路 59
V1
V2
VMAX
VMIN
スイッチ部 61-n
61-n-1
61-2
61-1
En Zn Yn Xn En-1 Zn-1 Yn-1 Xn-1 E2 Z2 Y2 X2 Z1 Y1 X1
A
B
C
D
STT
シフトレジスタ 63

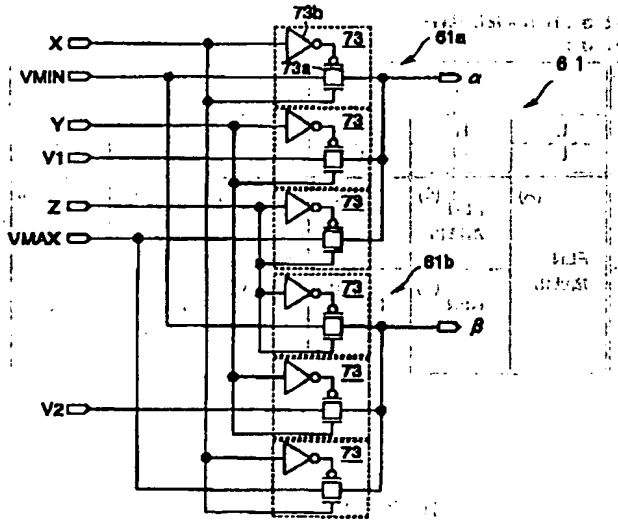
【図２１】

【図２２】


ラフシフトラッチを示す回路図
120（ラフシフトラッチ）
120a
120c
120b
120d
SINF
RSO
120f
120e
STT
120g
シフト方向ラッチを示す回路図
122（シフト方向ラッチ）
122c
122a
D
C
B
A
RSO
122d
122b

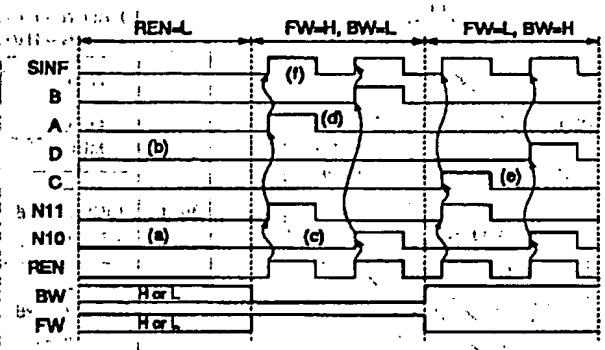
【図６】

スイッチ回路のスイッチ部を示す回路図



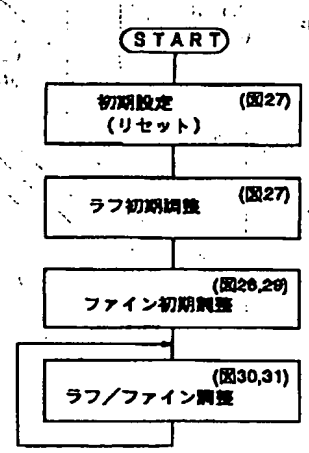
【図２０】

ラフコントロールの動作の概要を示すタイミング図



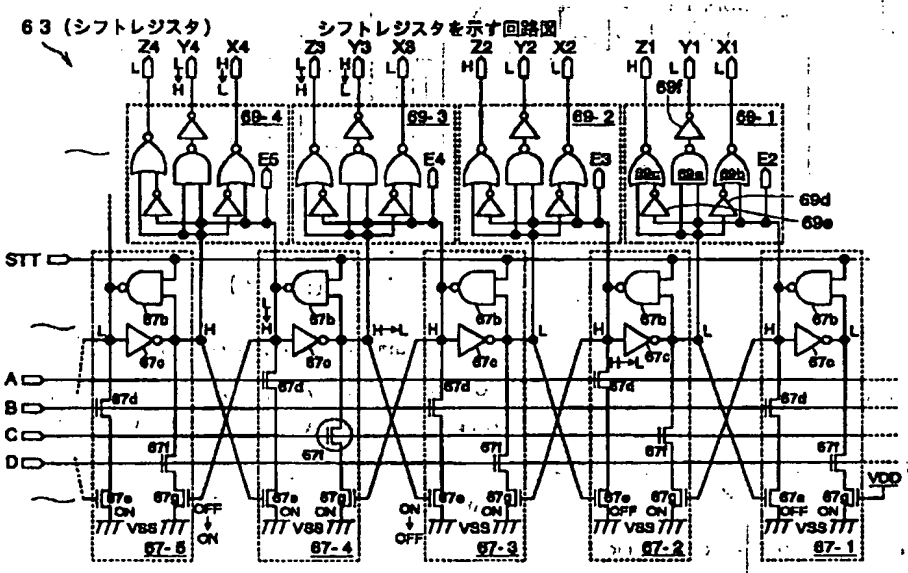
【図２６】

位相調整の制御を示すフローチャート



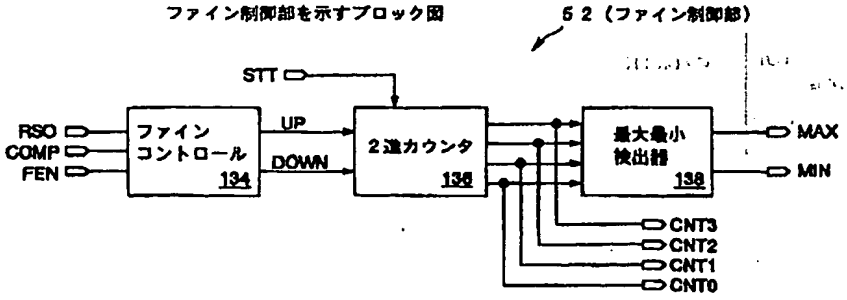
【図７】

６３（シフトレジスタ）　シフトレジスタを示す回路図



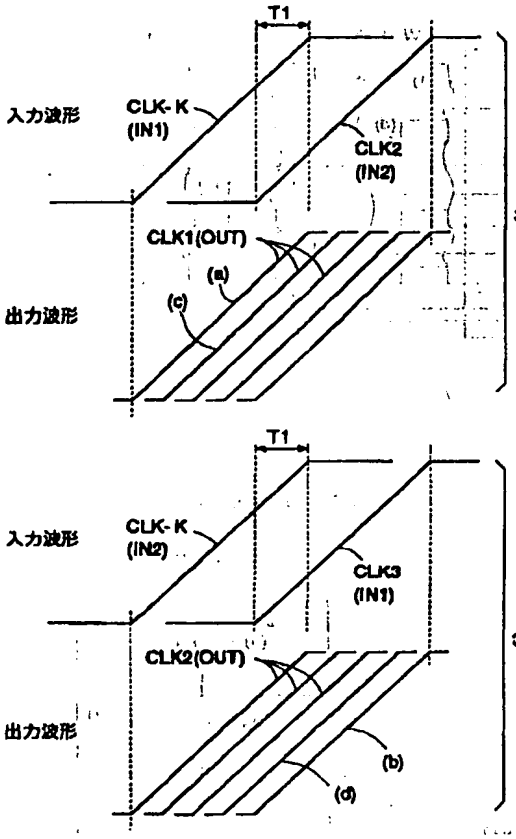
【図２３】

ファイン制御部を示すブロック図　５２（ファイン制御部）



【図８】

補間回路の入力波形と出力波形とを示すタイミング図



【図１６】

組み合わせ回路の動作を示す制御状態図

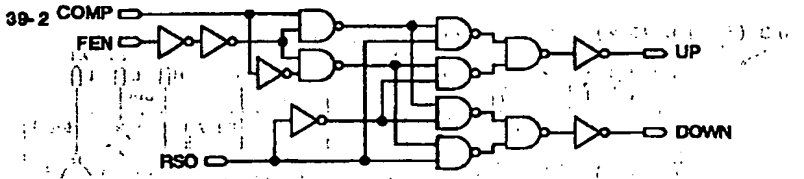
（１）RLON＝Lのとき：RENは常に活性化
（２）RLON＝Hのとき：

RSO	H			L		
MAX	L	H	L	L	H	L
MIN	L	L	H	L	L	H
COMP＝L (DICLKの位相を進める)	(A) FEN 活性化	(B) FEN 活性化	(D) REN 活性化	(F) FEN 活性化	(G) REN 活性化	(I) FEN 活性化
COMP＝H (DICLKの位相を遅らせる)		(C) REN 活性化	(E) FEN 活性化		(H) FEN 活性化	(J) REN 活性化

39-1

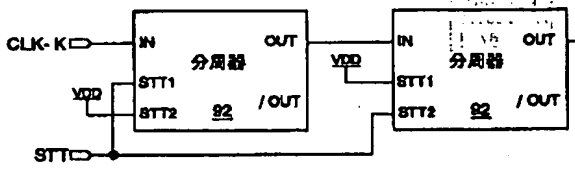
【図２４】

ファインコントロールを示す回路図　　１３４（ファインコントロール）

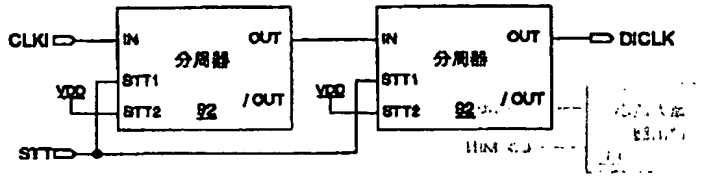


【図１０】

第１分周回路および第２分周回路を示すブロック図　　８２（第１分周回路）

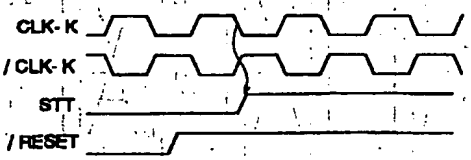


８４（第２分周回路）

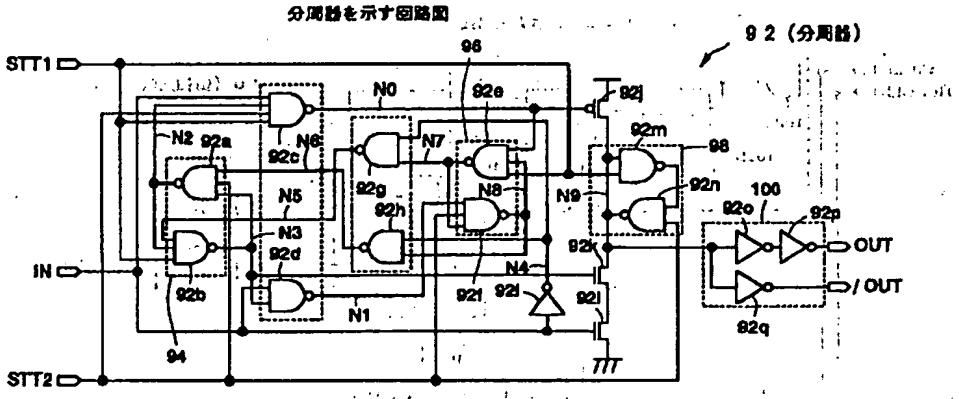


【図３２】

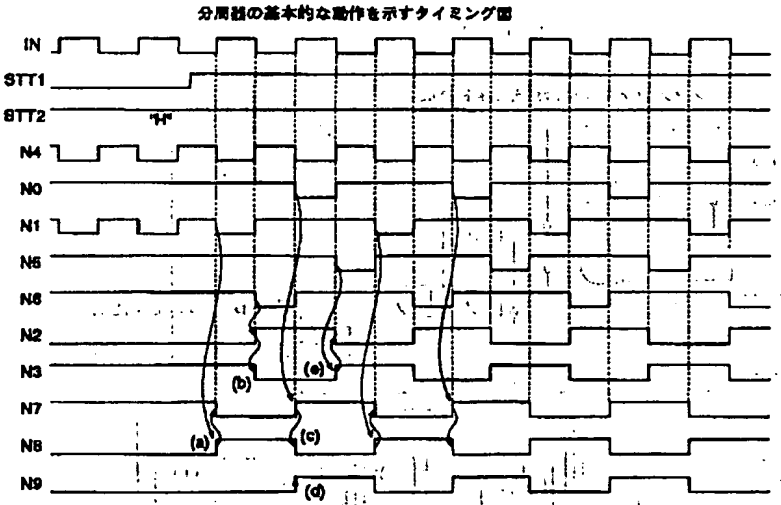
開始信号発生器の動作を示すタイミング図



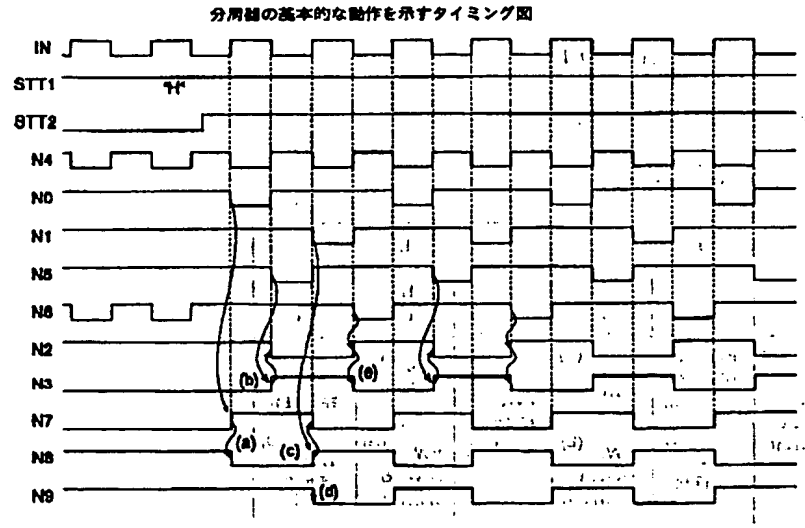
【図１１】


分周器を示す回路図
92（分周器）
STT1
STT2
IN
OUT
/ OUT
N0
N1
N2
N3
N4
N5
N6
N7
N8
N9
92a
92b
92c
92d
92e
92f
92g
92h
92i
92j
92k
92l
92m
92n
92o
92p
92q
94
96
98
100

【図１２】

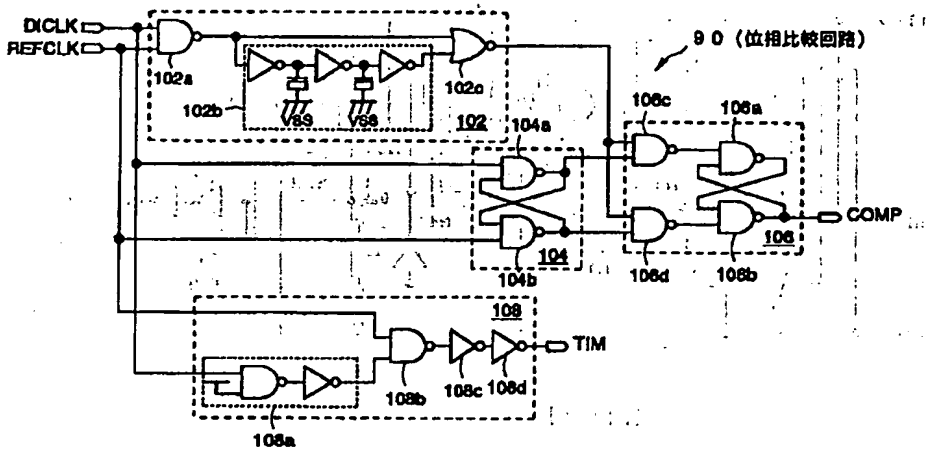

分周器の基本的な動作を示すタイミング図
IN
STT1
STT2
"H"
N4
N0
N1
N5
N6
N2
N3
N7
N8
N9
(a)
(b)
(c)
(d)
(e)

【図１３】


分周器の基本的な動作を示すタイミング図
IN
STT1
STT2
"H"
N4
N0
N1
N5
N6
N2
N3
N7
N8
N9
(a)
(b)
(c)
(d)
(e)

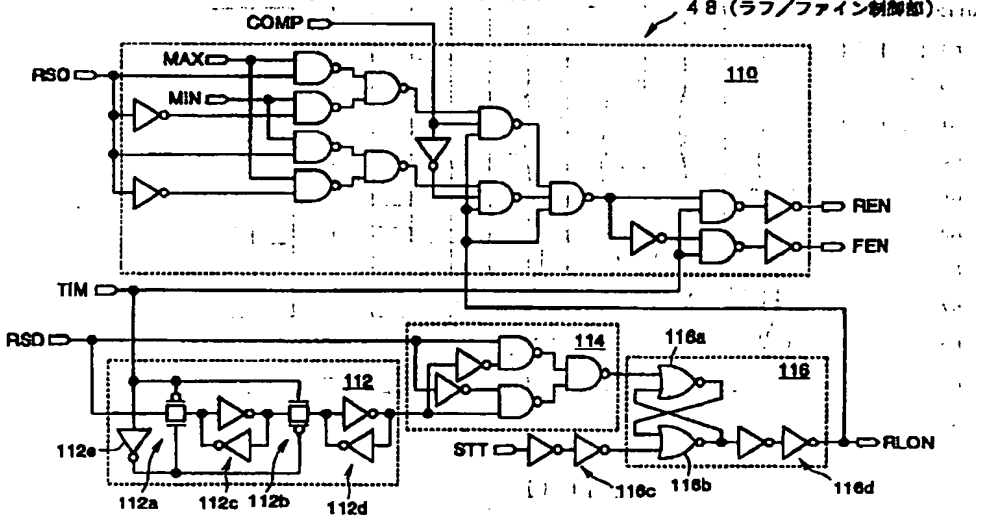
【図１４】

位相比較回路を示す回路図



【図１５】

ラフ／ファイン制御部を示す回路図



【図１９】

組み合わせ回路の動作を示す制御状態図

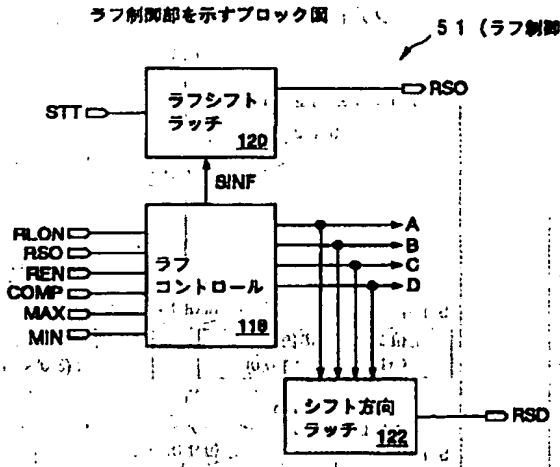
（１）RLON＝Ｌのとき：COMP＝ＬでFW活性化
COMP＝ＨでBW活性化

（２）RLON＝Ｈのとき：

RSO	H			L		
MAX	L	H	L	L	H	L
MIN	L	L	H	L	L	H
COMP＝L (DICLKの位相を進める)	(A) FW、BWとも非活性化	FW、(B) BWとも非活性化	FW (D) 活性化	(F) FW、BWとも非活性化	FW (G) 活性化	FW、(I) BWとも非活性化
COMP＝H (DICLKの位相を遅らせる)		BW (C) 活性化	FW、(E) BWとも非活性化		FW、(H) BWとも非活性化	BW (J) 活性化

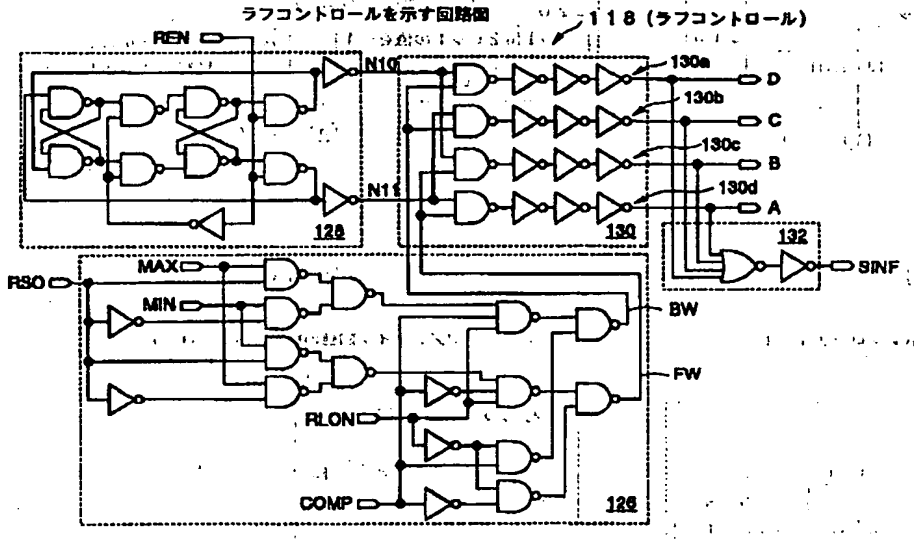
【図１７】

ラフ制御部を示すブロック図



【図１８】

ラフコントロールを示す回路図



【図２５】

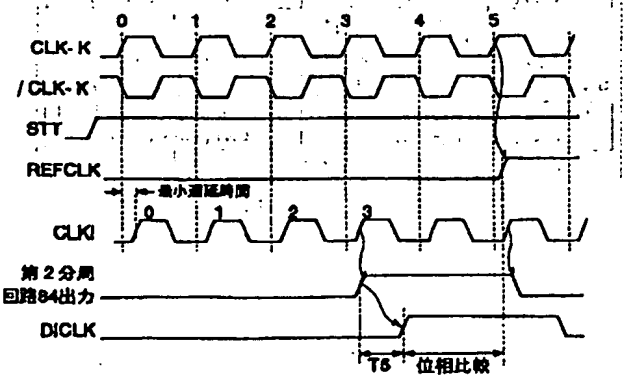
ファインコントロールの動作を示す制御状態図

（１）FEN＝Lのとき：UP、DOWNは常に非活性化
（２）FEN＝Hのとき：

RSO	H	L
COMP＝L (DICLKの位相を進める)	(A) DOWN 活性化	(C) UP 活性化
COMP＝H (DICLKの位相を遅らせる)	(B) UP 活性化	(D) DOWN 活性化

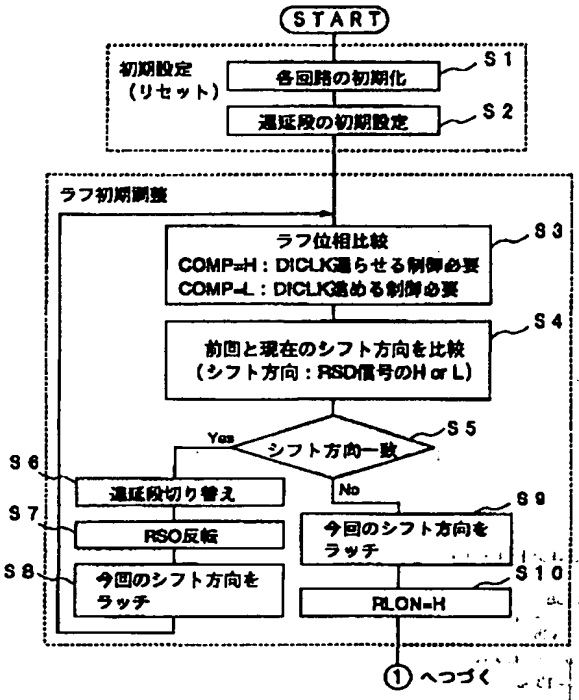
【図３３】

位相比較部での各クロック信号の状態を示すタイミング図



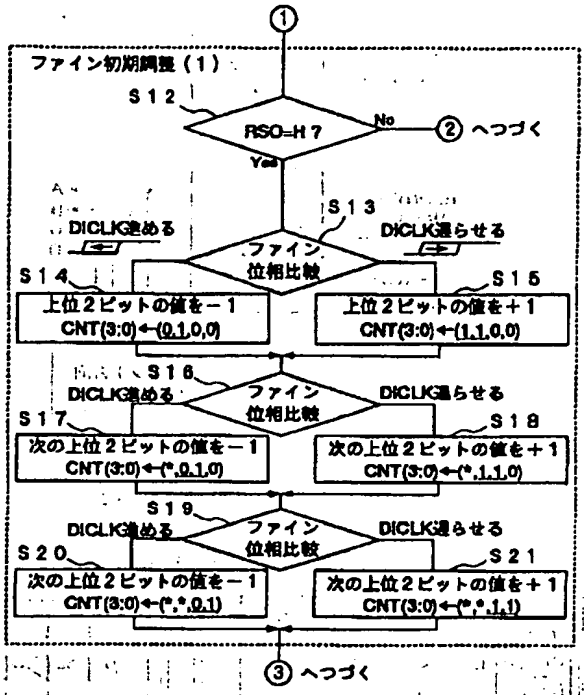
【図２７】

初期設定およびラフ初期調整の制御を示すフローチャート



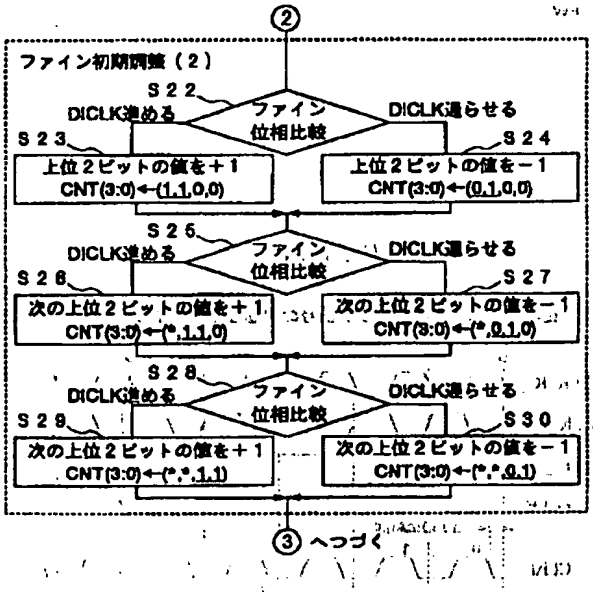
【図２８】

ファイン初期調整の制御を示すフローチャート



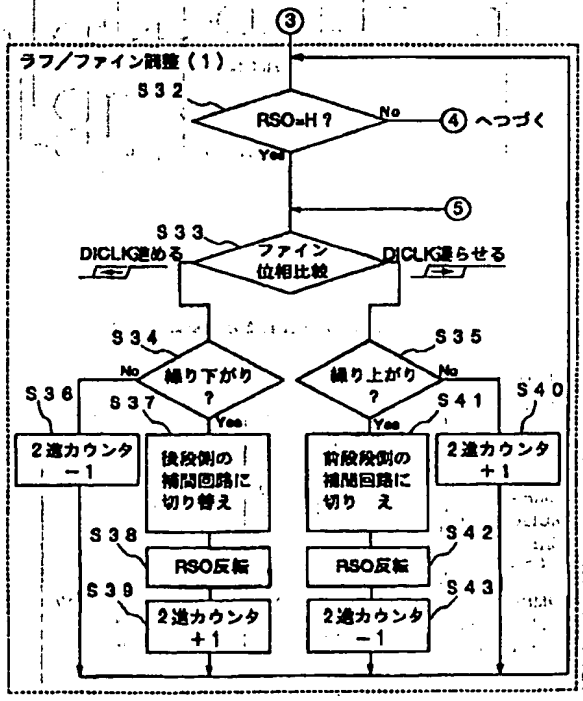
【図２９】

ファイン初期調整の制御を示すフローチャート



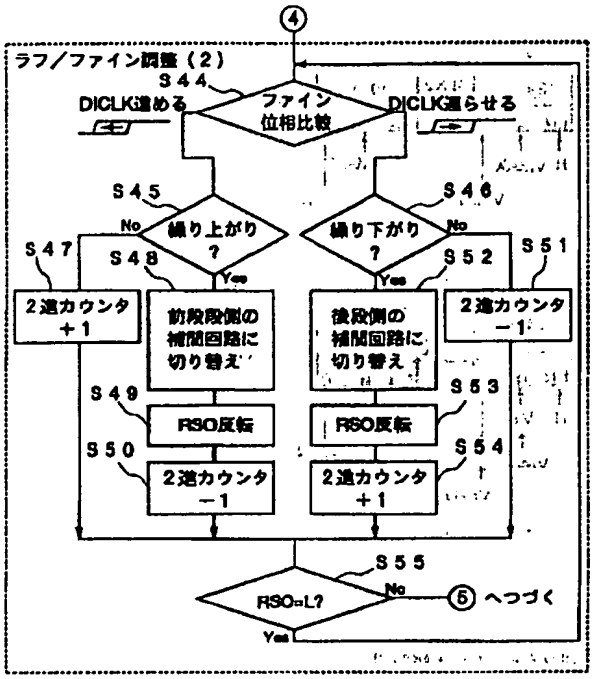
【図３０】

ラフ/ファイン調整の制御を示すフローチャート



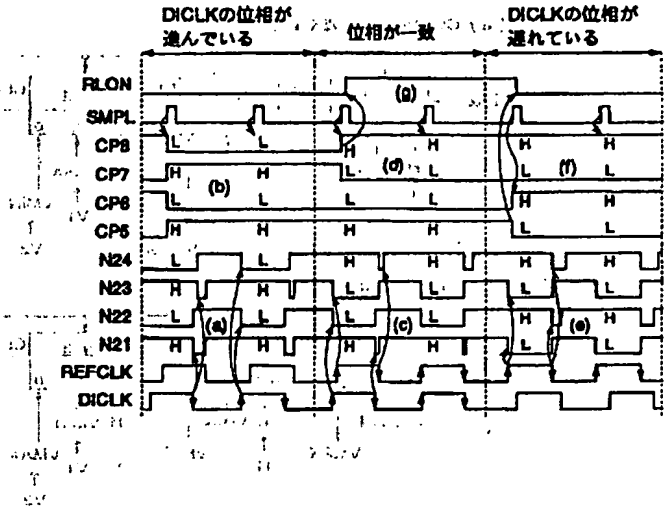
【図３１】

ラフ／ファイン調整の制御を示すフローチャート



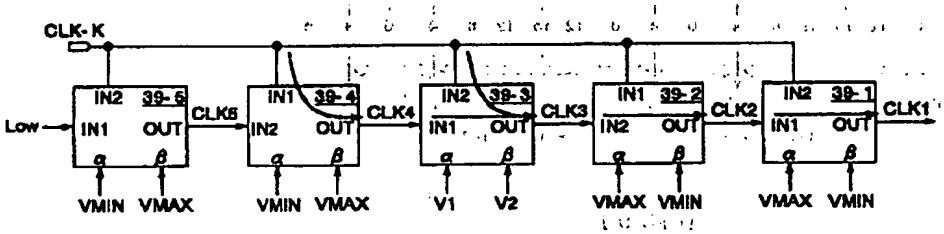
【図４２】

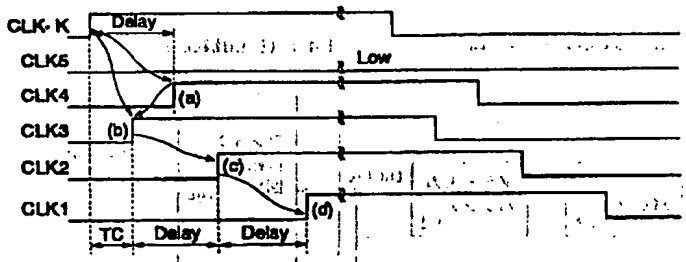
ラフ位相比較回路の動作を示すタイミング図



【図３４】

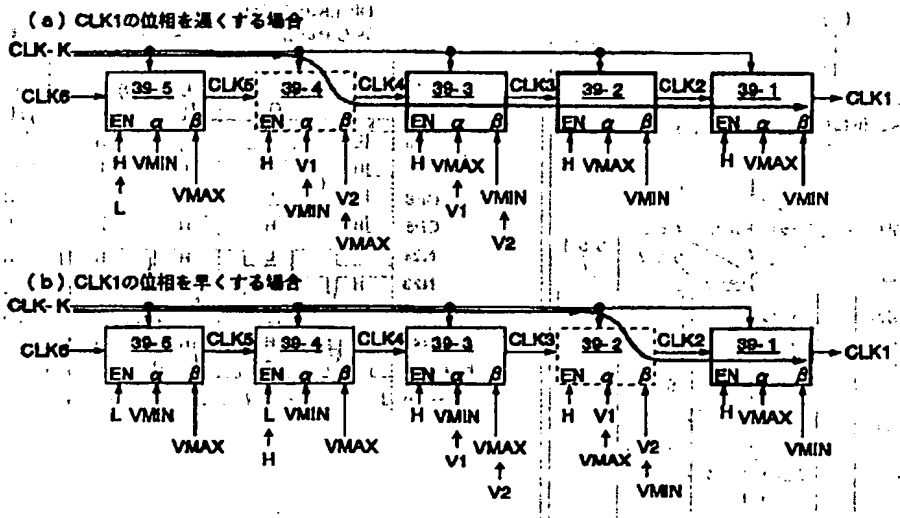
初期設定後における補間回路の状態を示す説明図





【図３５】

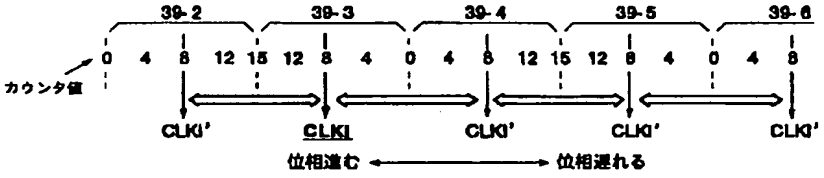
ラフ初期調整時における補間回路の切り替え制御の概要を示す説明図



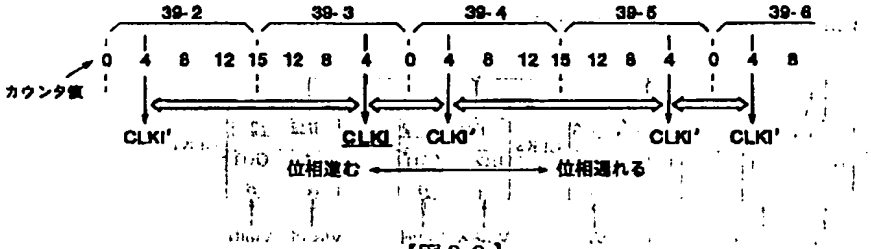
【図３６】

ラフ初期調整時における２進カウンタの初期値による内部クロック信号の変化を示す説明図

（ａ）2進カウンタ136の値を“８”に設定した場合

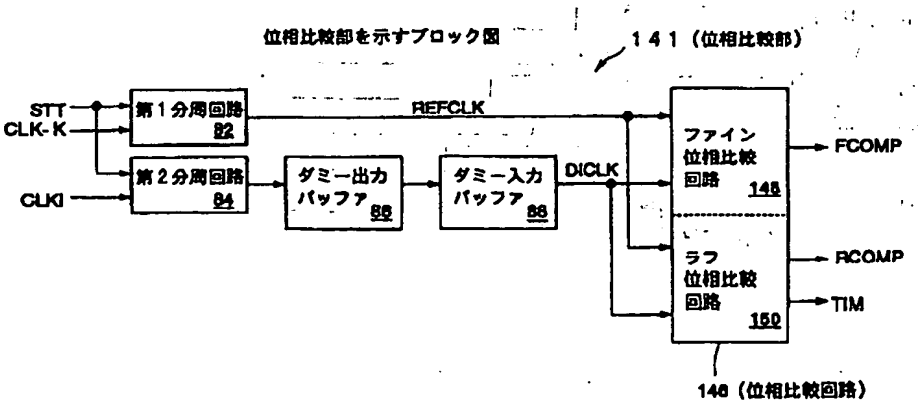


（ｂ）2進カウンタ136の値を“４”に設定した場合

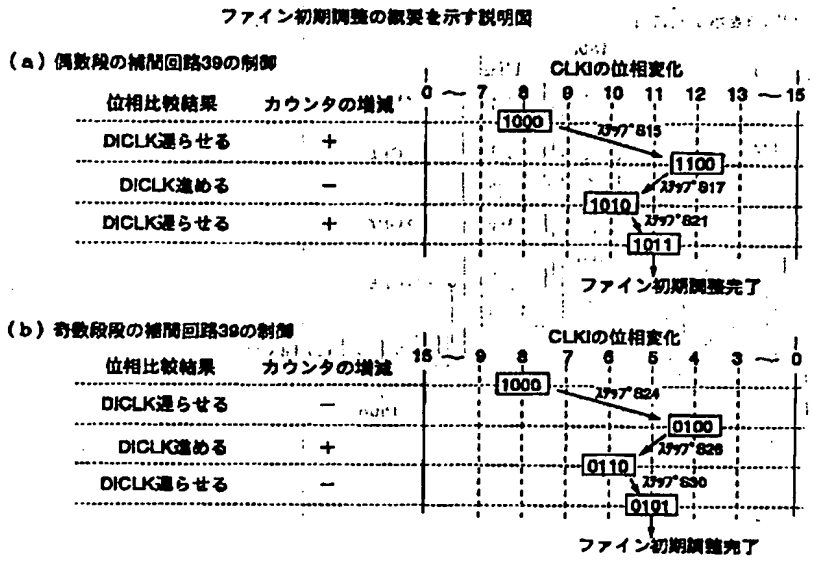


【図３９】

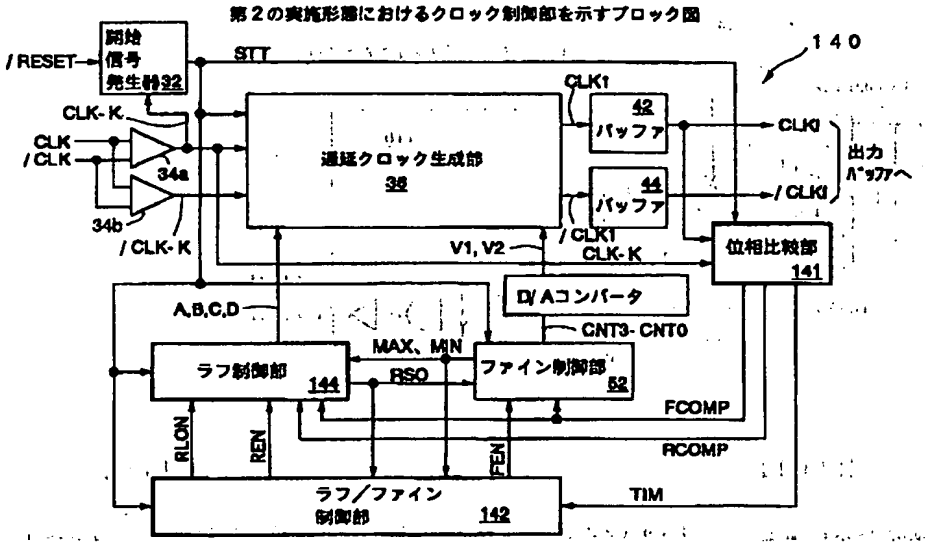
位相比較部を示すブロック図



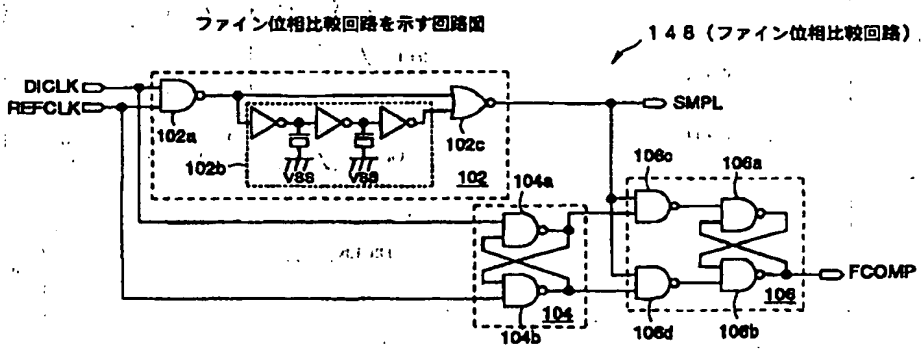
【図３７】


ファイン初期調整の概要を示す説明図
（ａ）偶数段の補間回路39の制御
CLKIの位相変化
位相比較結果
カウンタの増減
0 ～ 7
8
9
10
11
12
13 ～ 15
DICLK遅らせる
+
DICLK進める
−
DICLK遅らせる
+
1000
1100
1010
1011
ステップ S15
ステップ S17
ステップ S21
ファイン初期調整完了
（ｂ）奇数段段の補間回路39の制御
CLKIの位相変化
位相比較結果
カウンタの増減
15 ～ 9
8
7
6
5
4
3 ～ 0
DICLK遅らせる
−
DICLK進める
+
DICLK遅らせる
−
1000
0100
0110
0101
ステップ S24
ステップ S26
ステップ S30
ファイン初期調整完了

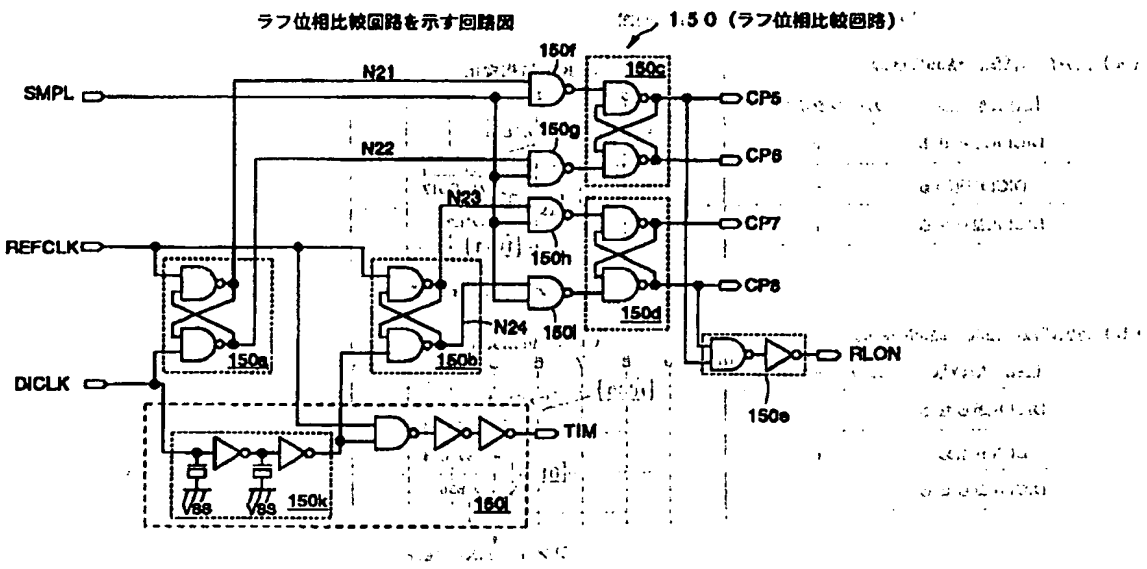
【図３８】


第２の実施形態におけるクロック制御部を示すブロック図
140
/RESET
開始信号発生部32
STT
CLK1
42
バッファ
CLKI
出力バッファへ
CLK-K
CLK
/CLK
34a
34b
/CLK-K
遅延クロック生成部
36
44
バッファ
/CLKI
/CLK1
V1, V2
CLK-K
位相比較部
141
A,B,C,D
D/Aコンバータ
CNT3- CNT0
MAX、MIN
RSO
ラフ制御部
144
ファイン制御部
52
FCOMP
RCOMP
RLON
REN
FEN
ラフ/ファイン制御部
142
TIM

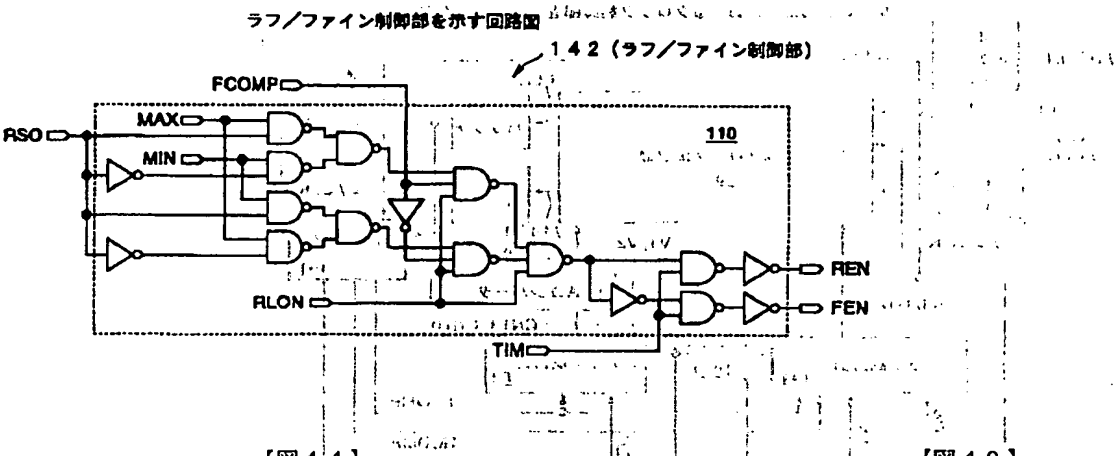
【図４０】


ファイン位相比較回路を示す回路図
148（ファイン位相比較回路）
DICLK
REFCLK
102a
102b
102c
102
VSS
VSS
SMPL
104a
104
104b
106c
106a
106
106d
106b
FCOMP

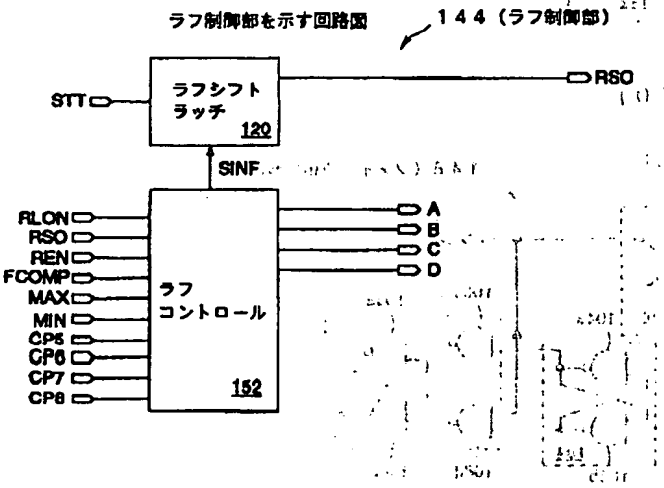
【図４１】



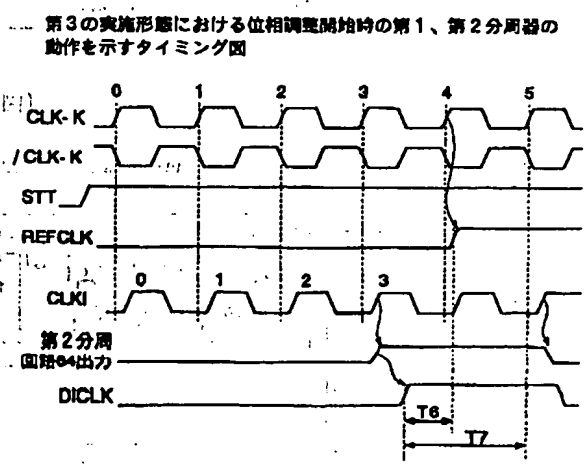
【図４３】



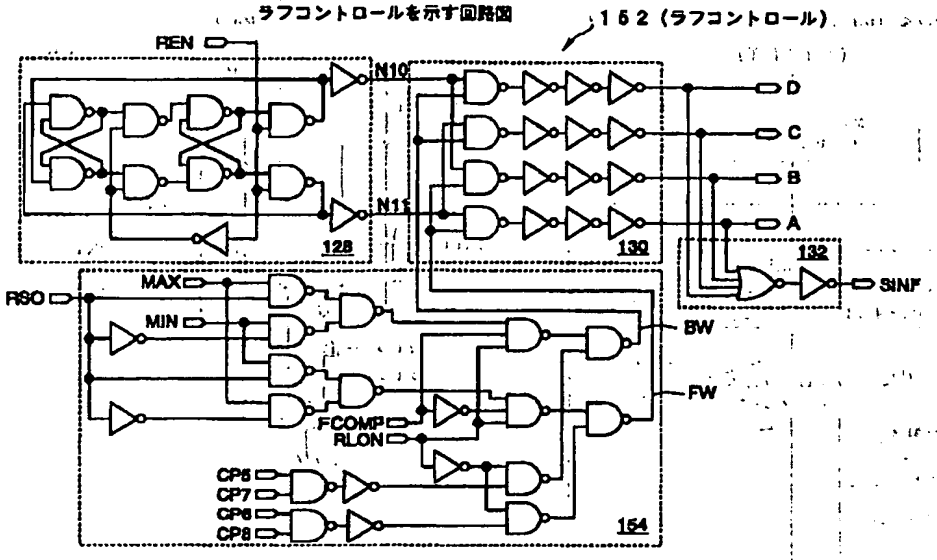
【図４４】



【図４９】



【図４５】



【図４６】

組み合わせ回路の動作を示す制御状態図

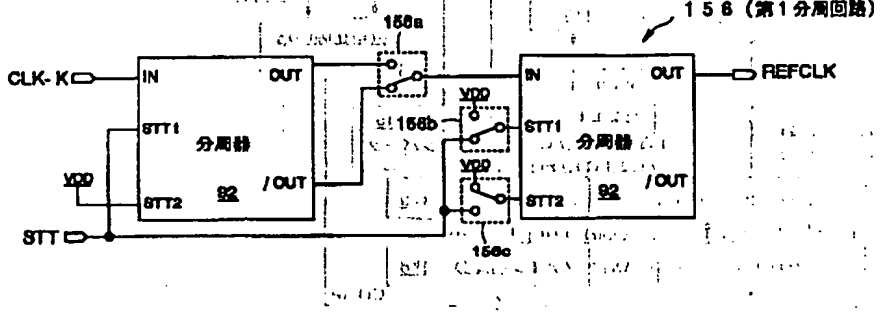
（１）RLON＝Lのとき：CP6=H, CP8=HでFW活性化
CP5=H, CP7=HでBW活性化

（２）RLON＝Hのとき：

RSO	H			L		
MAX	L	H	L	L	H	L
MIN	L	L	H	L	L	H
FCOMP＝L (DICLKの位相を進める)	(A) FW、BWとも非活性化	FW、(B) BWとも非活性化	FW (D) 活性化	(F) FW、BWとも非活性化	FW (G) 活性化	FW、(I) BWとも非活性化
FCOMP＝H (DICLKの位相を遅らせる)		BW (C) 活性化	FW、(E) BWとも非活性化		FW、(H) BWとも非活性化	BW (J) 活性化

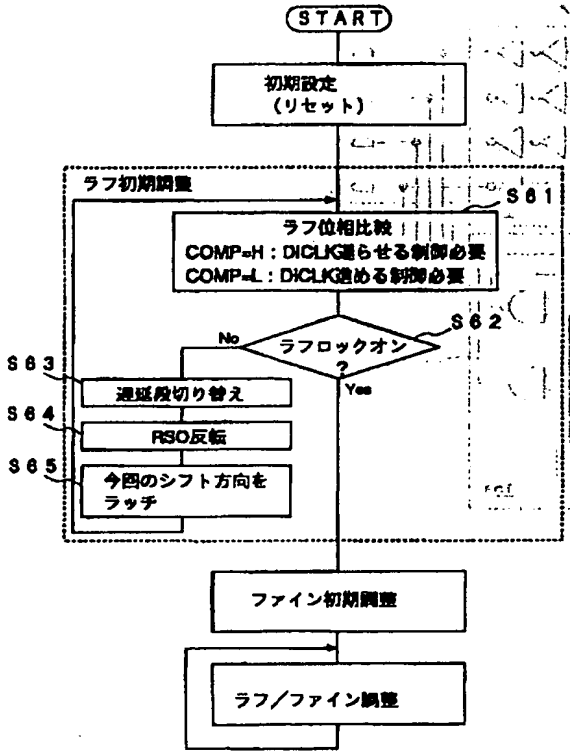
【図４８】

第３の実施形態における第１分周回路を示すブロック図



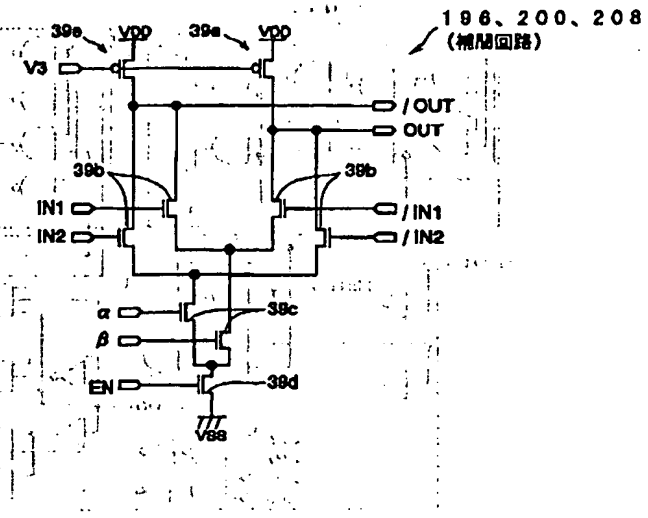
【図４７】

第２の実施形態における位相調整の制御を示すフローチャート



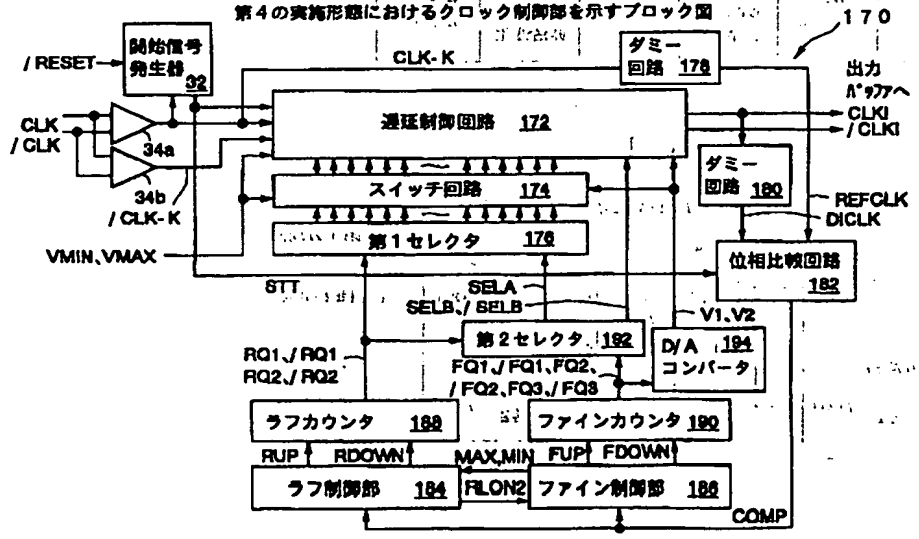
【図５３】

補間回路を示す回路図

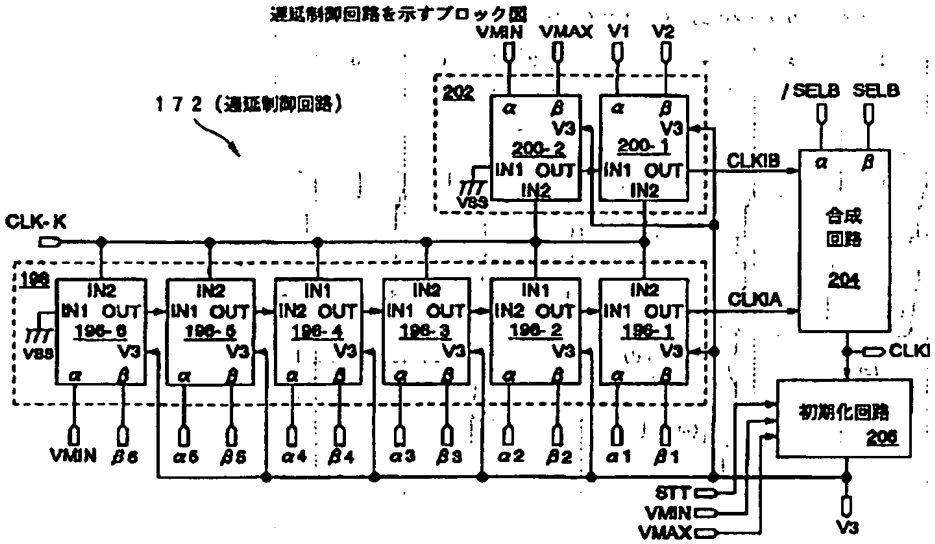


【図５０】

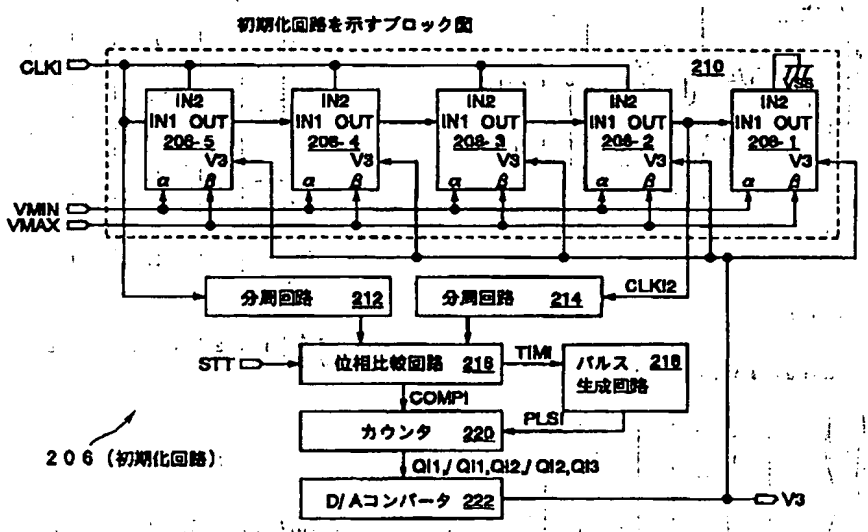
第４の実施形態におけるクロック制御部を示すブロック図



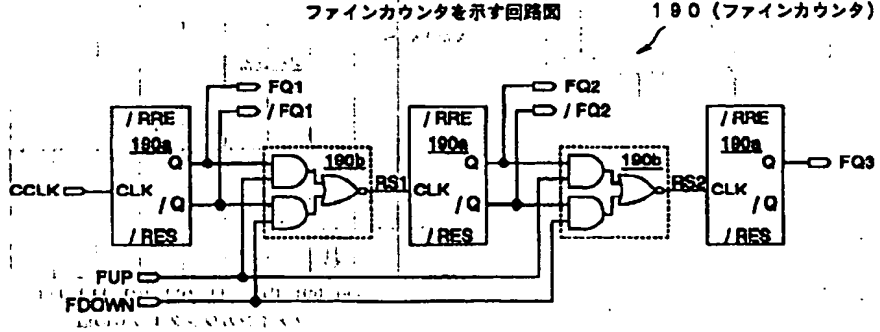
【図５１】


遅延制御回路を示すブロック図
172（遅延制御回路）
VMIN VMAX V1 V2
202
200-2
200-1
IN1 OUT
IN2
V3
VSS
/SELB SELB
CLKIB
合成回路
204
CLKIA
CLKI
CLK-K
198
196-6
196-5
196-4
196-3
196-2
196-1
VMIN β6 α5 β5 α4 β4 α3 β3 α2 β2 α1 β1
初期化回路
206
STT
VMIN
VMAX
V3

【図５２】

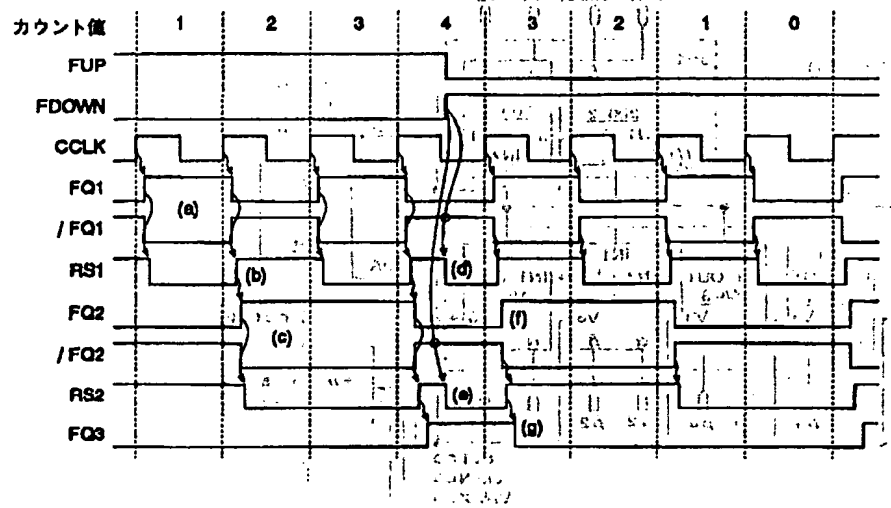

初期化回路を示すブロック図
CLKI
210
208-5
208-4
208-3
208-2
208-1
VMIN
VMAX
分周回路 212
分周回路 214
CLKI2
STT
位相比較回路 218
TIM
パルス生成回路 216
COMP1
カウンタ 220
PLS
QI1,/QI1,QI2,/QI2,QI3
D/Aコンバータ 222
V3
206（初期化回路）

【図５４】


ファインカウンタを示す回路図
190（ファインカウンタ）
FQ1
/FQ1
FQ2
/FQ2
FQ3
/RRE
190a
Q
CCLK
CLK
/Q
/RES
190b
RS1
RS2
FUP
FDOWN

【図５５】

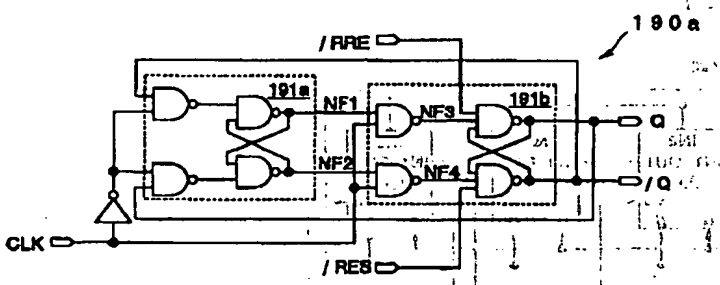
ファインカウンタの動作を示すタイミング図



【図５６】

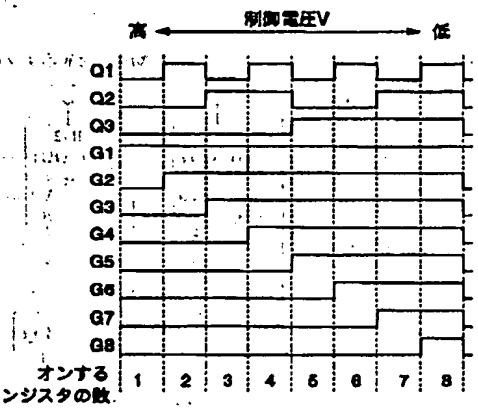
【図６０】

フリップフロップ回路を示す回路図



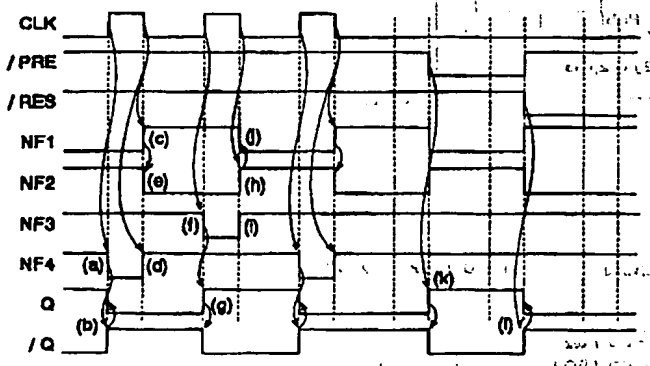
【図５７】

D/Aコンバータの動作を示すタイミング図

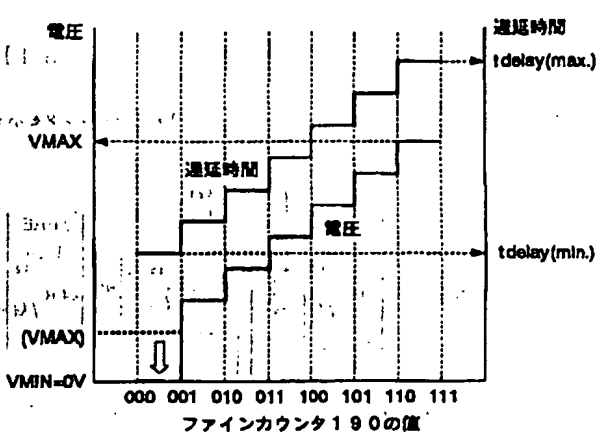


【図６１】

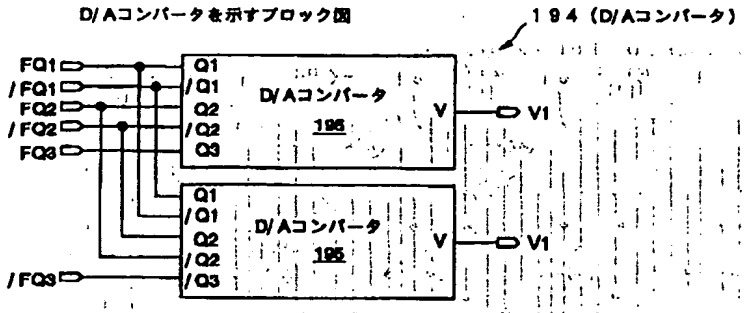
フリップフロップ回路の動作を示すタイミング図



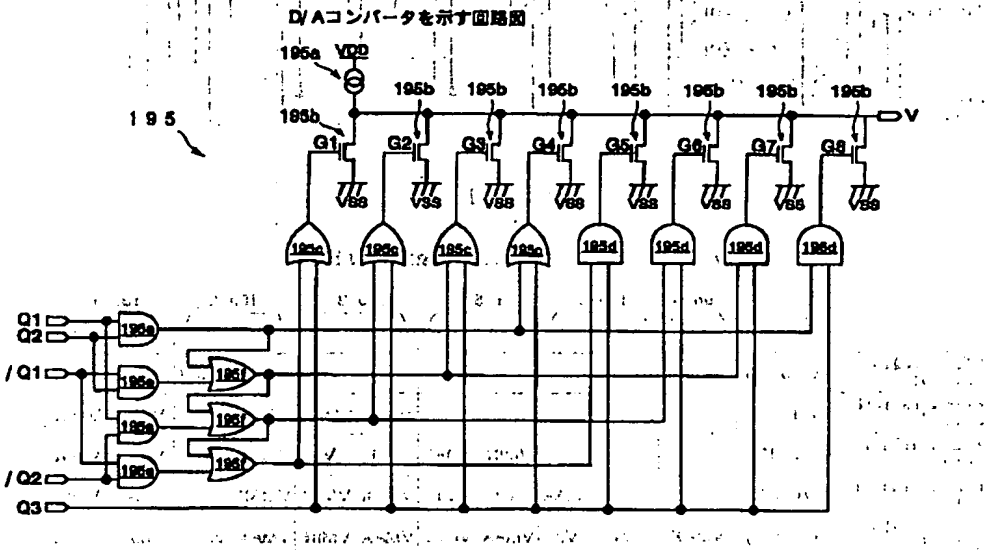
D/Aコンバータの出力電圧と補間回路の遅延時間との関係を示す説明図



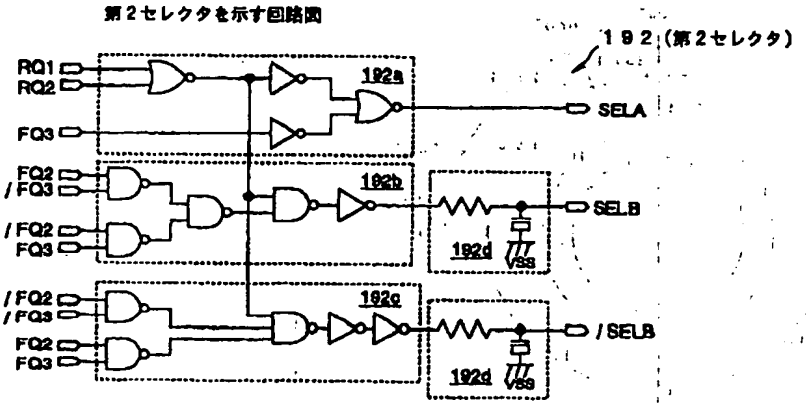
【図５８】


D/Aコンバータを示すブロック図
１９４（D/Aコンバータ）
FQ1
/FQ1
FQ2
/FQ2
FQ3
/FQ3
Q1
/Q1
Q2
/Q2
Q3
D/Aコンバータ
196
V
V1
D/Aコンバータ
195

【図５９】

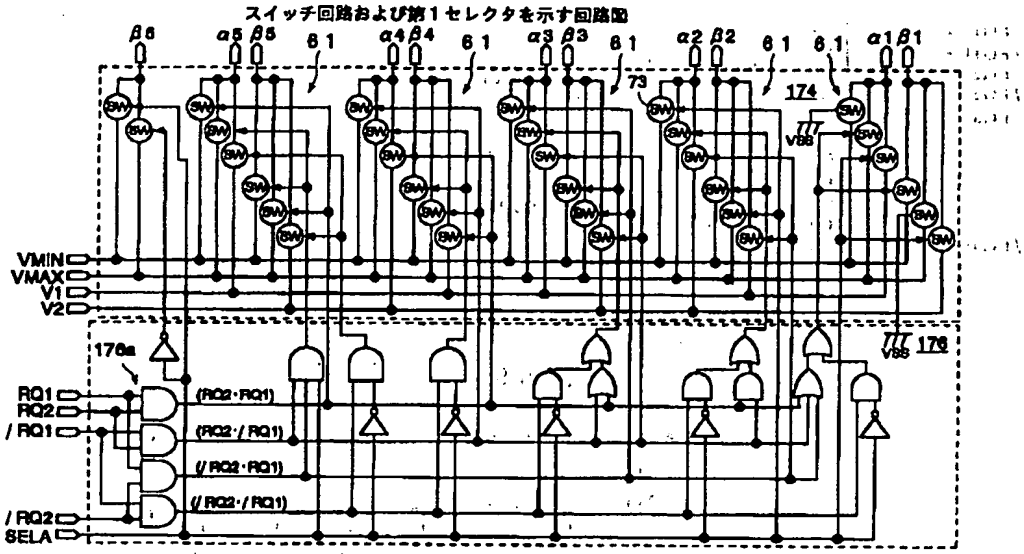

D/Aコンバータを示す回路図
１９５
195a
VDD
195b
G1
G2
G3
G4
G5
G6
G7
G8
VSS
V
195c
195d
Q1
Q2
/Q1
/Q2
Q3

【図６２】


第２セレクタを示す回路図
１９２（第２セレクタ）
RQ1
RQ2
FQ3
192a
SELA
FQ2
/FQ3
/FQ2
192b
SELB
192d
VSS
/SELB
192c

【図６３】

スイッチ回路および第１セレクタを示す回路図



【図６４】

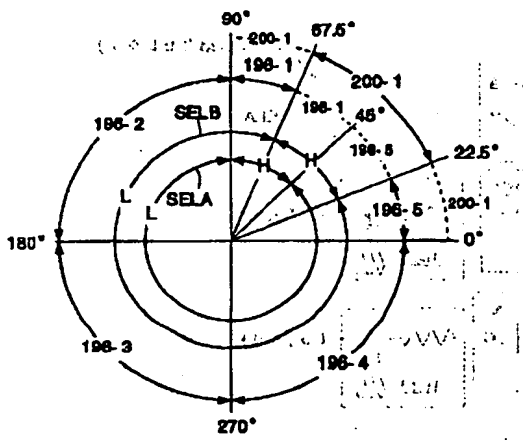
スイッチ回路および第１セレクタの動作の概要を示す説明図

		196-6	196-5		196-4		196-3		196-2		196-1	
		β6	α5	β5	α4	β4	α3	β3	α2	β2	α1	β1
RQ2=L,RQ1=L SELA=H	(45-90°)	—	—	—	—	—	—	—	VMIN	VMAX	V1	V2
RQ2=L,RQ1=H SELA=L	(90-180°)	—	—	—	—	—	VMIN	VMAX	V2	V1	VMAX	VMIN
RQ2=H,RQ1=L SELA=L	(180-270°)	—	—	—	VMIN	VMAX	V1	V2	VMAX	VMIN	VMAX	VMIN
RQ2=H,RQ1=H SELA=L	(270-0°)	—	VMIN	VMAX	V2	V1	VMAX	VMIN	VMAX	VMIN	VMAX	VMIN
RQ2=L,RQ1=L SELA=L	(0-45°)	VMAX	V1	V2	VMAX	VMIN	VMAX	VMIN	VMAX	VMIN	VMAX	VMIN

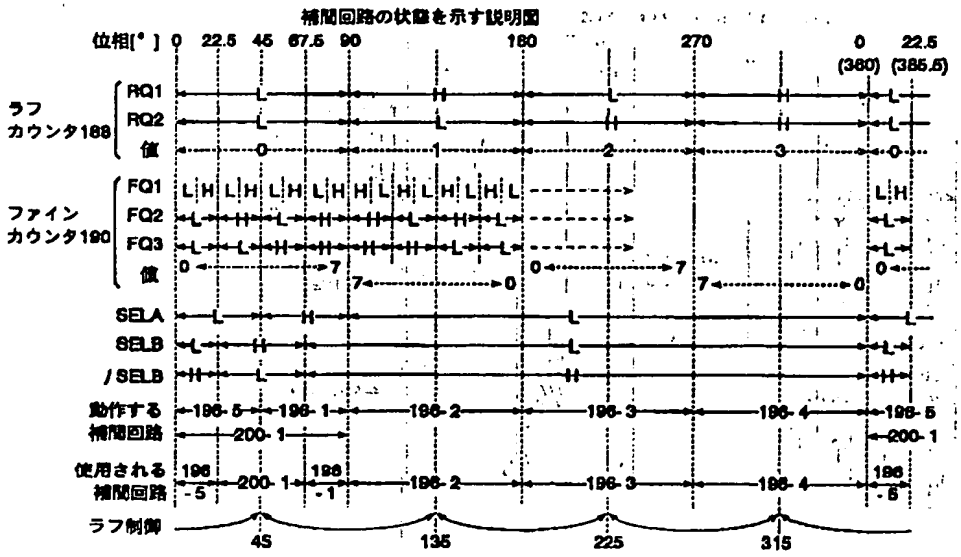
— : Don't care

【図６６】

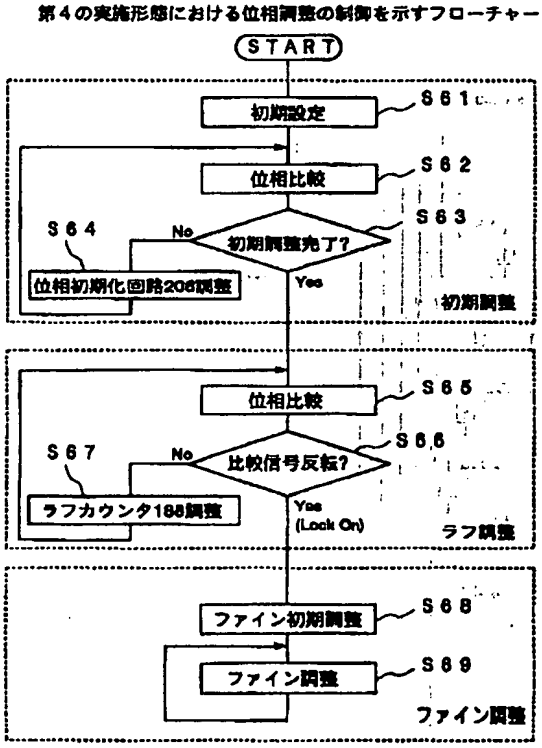
補間回路の状態を示す別の説明図



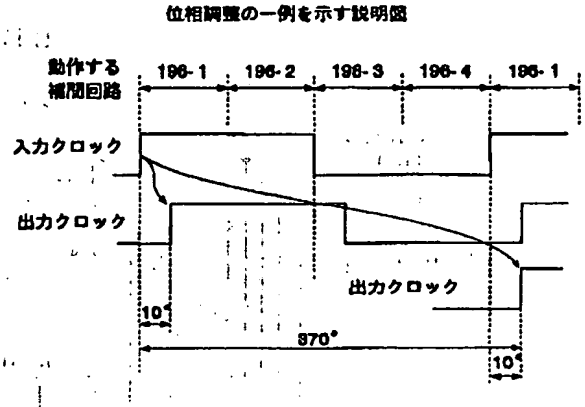
【図６５】


補間回路の状態を示す説明図
位相[°] 0 22.5 45 67.5 90 180 270 0 22.5
(360) (385.5)
ラフ
カウンタ188
RQ1
RQ2
値
ファイン
カウンタ190
FQ1
FQ2
FQ3
値
SELA
SELB
/SELB
動作する
補間回路
196-5 196-1 196-2 196-3 196-4 196-5
200-1 200-1
使用される
補間回路
196-5 200-1 196-1 196-2 196-3 196-4 196-5
ラフ制御
45 135 225 315

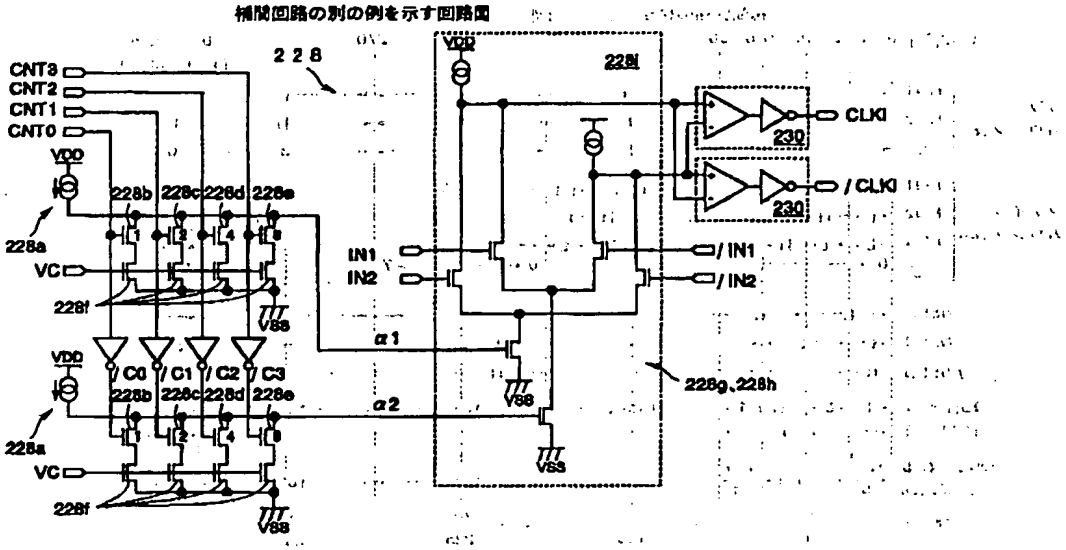
【図６７】


第４の実施形態における位相調整の制御を示すフローチャート
START
初期設定
S61
位相比較
S62
S64
No
初期調整完了?
S63
Yes
位相初期化回路206調整
初期調整
位相比較
S65
S67
No
比較信号反転?
S66
Yes
(Lock On)
ラフカウンタ188調整
ラフ調整
ファイン初期調整
S68
ファイン調整
S69
ファイン調整

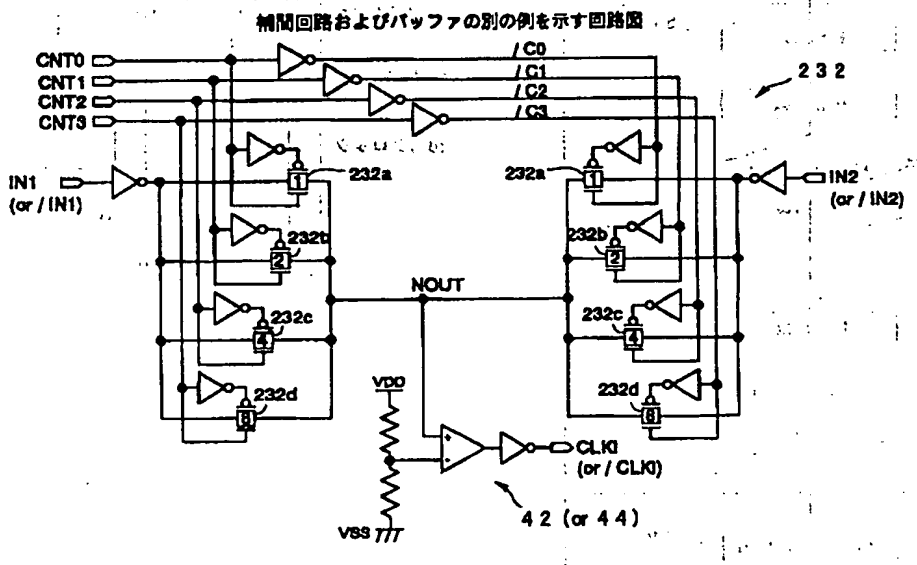
【図６８】


位相調整の一例を示す説明図
動作する
補間回路
196-1 196-2 196-3 196-4 196-1
入力クロック
出力クロック
出力クロック
10°
370°
10°

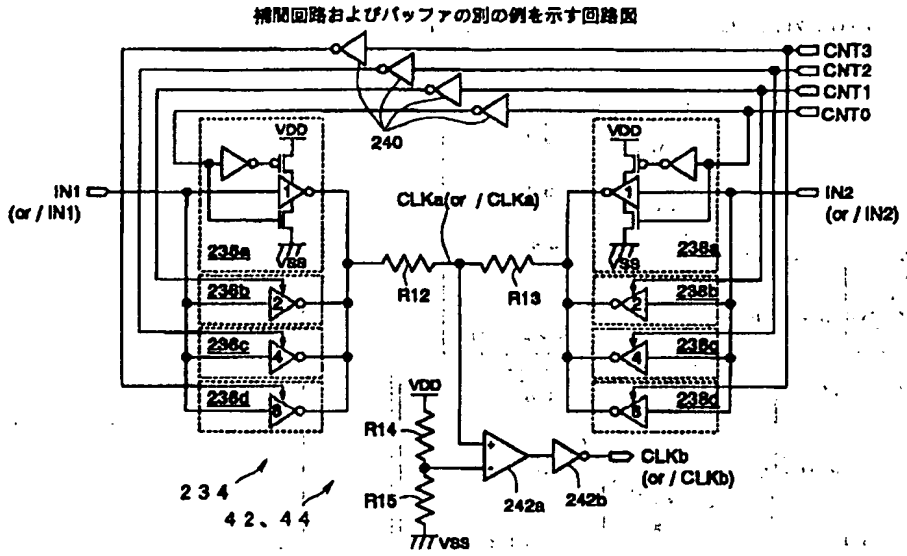
【図６９】


補間回路の別の例を示す回路図
228
228g
CNT3
CNT2
CNT1
CNT0
VDD
228b
228c
228d
228e
228a
VC
228f
VSS
C0
C1
C2
C3
α1
α2
IN1
IN2
/IN1
/IN2
CLKI
/CLKI
230

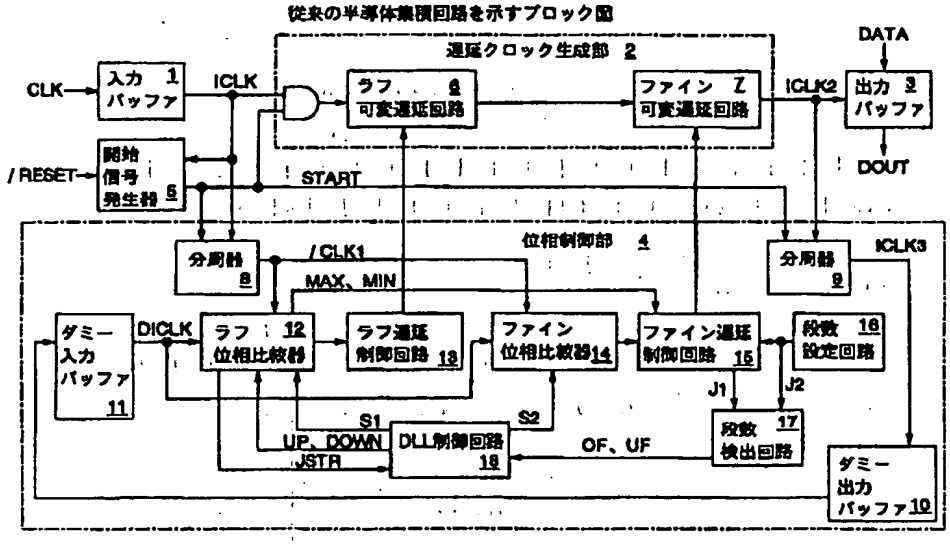
【図７０】


補間回路およびバッファの別の例を示す回路図
CNT0
CNT1
CNT2
CNT3
/C0
/C1
/C2
/C3
232
IN1
(or /IN1)
232a
232b
232c
232d
NOUT
IN2
(or /IN2)
VDD
VSS
CLKI
(or /CLKI)
42 (or 44)

【図７１】

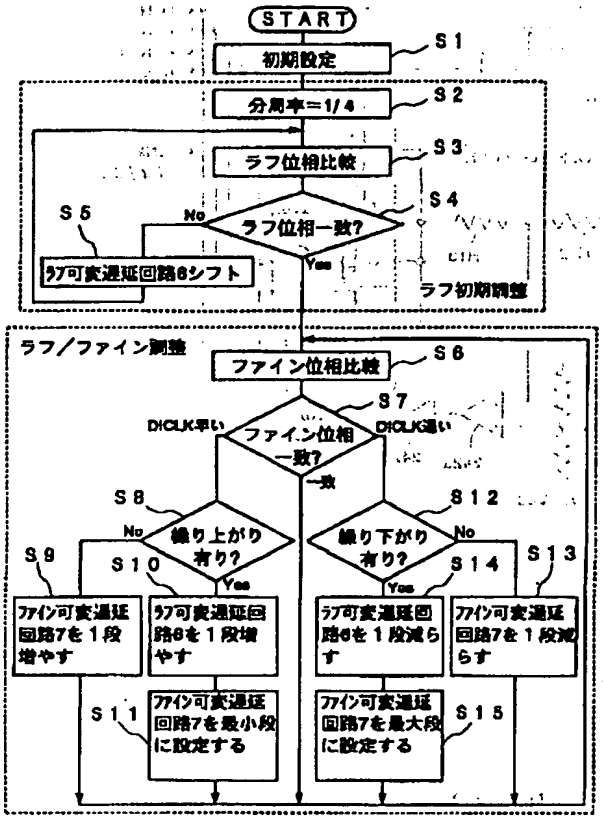

補間回路およびバッファの別の例を示す回路図
CNT3
CNT2
CNT1
CNT0
240
VDD
IN1
(or / IN1)
CLKa(or / CLKa)
IN2
(or / IN2)
238a
238b
238c
238d
R12
R13
R14
R15
VSS
CLKb
(or / CLKb)
242a
242b
234
42、44

【図７２】


従来の半導体集積回路を示すブロック図
遅延クロック生成部 2
CLK
入力 1 バッファ
ICLK
ラフ 6 可変遅延回路
ファイン 7 可変遅延回路
ICLK2
出力 3 バッファ
DATA
DOUT
/RESET
開始信号発生器 5
START
位相制御部 4
分周器 8
/CLK1
MAX、MIN
分周器 9
ICLK3
ダミー入力バッファ 11
DICLK
ラフ 12 位相比較器
ラフ遅延制御回路 13
ファイン位相比較器 14
ファイン遅延制御回路 15
段数 16 設定回路
J1
J2
S1
S2
UP、DOWN
JSTR
DLL制御回路 18
OF、UF
段数検出回路 17
ダミー出力バッファ 10

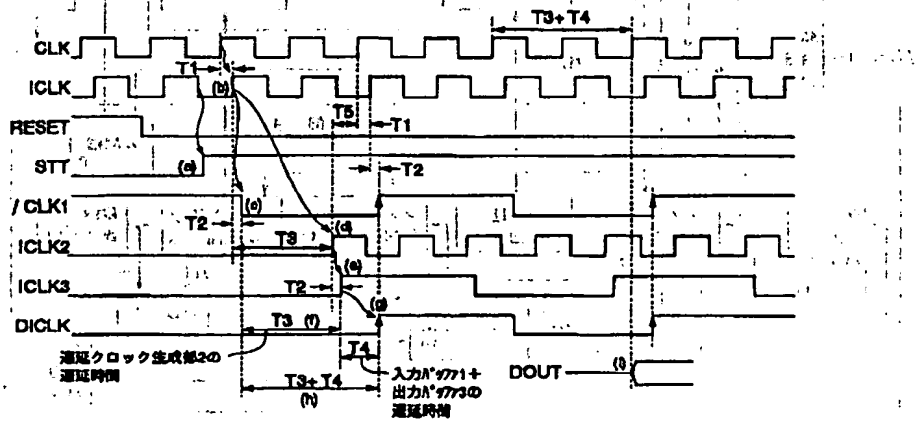
【図７３】

従来のクロック信号の位相調整の制御を示すフローチャート



【図７４】

従来の位相調整時の主要な信号を示すタイミング図



フロントページの続き

Fターム(参考) 5B079 BC03 CC02 CC14 DD06 DD13
5F038 AV13 AV15 BE07 BH19 CD06
CD08 CD09 DF05 DF07 DF08
EZ20
5J001 AA04 AA05 BB00 BB03 BB08
BB09 BB10 BB11 BB12 BB13
BB14 BB15 BB17 BB21 BB23
BB24 BB25 CC00 DD06 DD09
5J106 AA03 CC21 CC52 CC59 DD08
DD09 DD24 DD42 DD43 DD48
KK03 KK05 KK25 KK32